

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-177926
(43)Date of publication of application : 24.06.2004

(51)Int.CI.

G09G 3/30
G09G 3/20
H05B 33/14

(21)Application number : 2003-138731

(71)Applicant : SHARP CORP

(22)Date of filing : 16.05.2003

(72)Inventor : NUMAO KOJI

(30)Priority

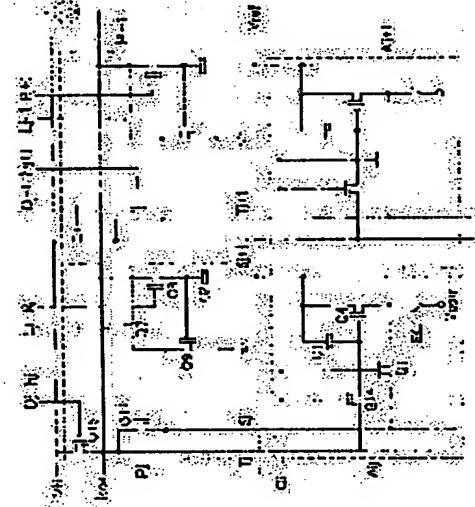
Priority number : 2002292922 Priority date : 04.10.2002 Priority country : JP

(54) DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a display device which can prevent the current value from varying among source lines, while a current driver circuit for the electro-optic device is constituted of a low temperature polysilicon TFT or CG silicon TFT.

SOLUTION: A current driver circuit Pj in a driver circuit generates, and maintains, a state where a drive current for an electro-optic device EL1 flows through a current output TFT Q9 and a capacitor C2, using a constant current outputted from a single constant current source I_{on} during a non-drive controllable period for the pixel A_{ij}. The driver circuit performs the previous operation on each pixel. The current driver circuit Pj then generates the drive current in the maintained circuit state and passes the drive current through a source line S_j to the pixel A_{ij} which is in a drive controllable period by means of voltage state of the gate line G_i, so as to control the driving of the pixel A_{ij}. Thus, in the pixel A_{ij} receiving the drive current, the drive current flows through the electro-optic device EL1 to effect a display.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開2004-177926

(P2004-177926A)

(43)公開日 平成16年6月24日(2004.6.24)

(51) Int.Cl.⁷
 G09G 3/30
 G09G 3/20
 H05B 33/14

F 1
 G09G 3/30 J
 G09G 3/20 611H
 G09G 3/20 612F
 G09G 3/20 623B
 G09G 3/20 624B

テーマコード(参考)
 3K007
 5C080

審査請求 未請求 請求項の数 12 O L (全 47 頁) 最終頁に続く

(21)出願番号 特願2003-138731 (P2003-138731)
 (22)出願日 平成15年5月16日 (2003.5.16)
 (31)優先権主張番号 特願2002-292922 (P2002-292922)
 (32)優先日 平成14年10月4日 (2002.10.4)
 (33)優先権主張国 日本国 (JP)

(71)出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74)代理人 100080034
 弁理士 原 謙三
 100113701
 弁理士 木島 隆一
 100116241
 弁理士 金子 一郎
 (72)発明者 沼尾 孝次
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内
 F ターム(参考) 3K007 AB02 AB17 BA06 DB03 GA04
 5C080 AA06 BB05 DD01 DD05 DD29
 EE29 FF01 FF07 FF11 JJ03
 JJ04 KK07 KK47

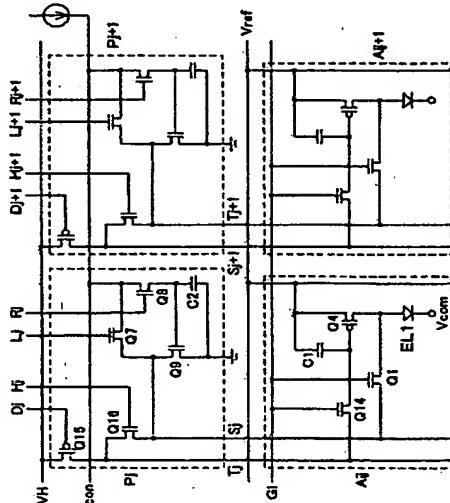
(54)【発明の名称】表示装置

(57)【要約】

【課題】電気光学素子の電流駆動用のドライブ回路を、低温ポリシリコンTFTやCGシリコンTFTで構成することを可能としながら各ソース配線間で電流値がばらつくのを防止することができる表示装置を提供する。

【解決手段】ドライブ回路の電流ドライブ回路P_jは、画素A_ijの駆動制御可能期間外に1つの定電流源I_conから出力される定電流を用いて、電流出力用TFT Q₉およびコンデンサC₂に電気光学素子E_L1の駆動電流が流れる状態を生成してこれを保持する。ドライブ回路はこの動作を各画素に対して行う。そして、電流ドライブ回路P_jは、ゲート配線G_iの電位状態によって駆動制御可能期間となった画素A_ijに対して、保持した回路状態で駆動電流を生成し、ソース配線S_jを介して伝達することにより、画素A_ijを駆動制御する。駆動電流が伝達された画素A_ijでは、この駆動電流が電気光学素子E_L1に流れ表示を行う。

【選択図】 図17



【特許請求の範囲】**【請求項 1】**

第1の配線と第2の配線とが交差する各領域に設けられた、電流駆動型の電気光学素子を有する画素と、

上記第2の配線の電位状態によって上記画素が駆動制御可能となる駆動制御可能期間に上記第1の配線を介して上記画素を駆動制御するドライブ回路とを備えた表示装置において

1つの定電流源を備え、

上記ドライブ回路は、上記電気光学素子を電流駆動するための駆動電流を生成して上記駆動制御可能期間に上記第1の配線を介して上記画素に伝達することにより上記画素を駆動制御し、各上記画素に対して上記駆動制御可能期間外に上記定電流源から出力される定電流を用いて上記ドライブ回路内部に上記駆動電流が流れる回路状態を生成して保持し、上記駆動制御可能期間に、保持した上記回路状態で上記駆動電流を生成することを特徴とする表示装置。
10

【請求項 2】

上記電気光学素子に上記駆動電流が流れる電流駆動期間は、一定期間内に設けられた複数の期間の選択的な組み合わせにより長さが決定されることを特徴とする請求項1に記載の表示装置。

【請求項 3】

上記画素は、

上記電気光学素子の電流駆動時に上記駆動電流を生成して上記電気光学素子に流す第1のアクティブ素子と、

上記駆動制御可能期間に上記ドライブ回路から伝達された上記駆動電流を上記電流駆動時に上記第1のアクティブ素子に生成させるために上記第1のアクティブ素子に印加する電圧条件を保持する第1のコンデンサと、

上記駆動制御可能期間に、導通状態となることにより上記ドライブ回路から上記第1のアクティブ素子に上記駆動電流を伝達させて上記第1のアクティブ素子に上記電圧条件を生成させ、上記電圧条件の生成後に遮断状態となることにより上記電圧条件を上記第1のコンデンサに保持させる第2のアクティブ素子と、

導通状態となることにより上記画素を上記第1の配線に接続して上記駆動制御可能期間を開始させ、上記第1のコンデンサによる上記電圧条件を上記第1のコンデンサに保持させる第1のスイッチング素子とを備えていることを特徴とする請求項1または2に記載の表示装置。
20

【請求項 4】

上記第1のアクティブ素子による上記電圧条件の生成に必要な電位を、上記第1のスイッチング素子を介さずに、導通状態にある上記第2のアクティブ素子を介して上記第1のアクティブ素子に伝達するように設けられた第3の配線を備えており、

上記第1のスイッチング素子は、導通状態となることによって、上記第1の配線を上記第1のアクティブ素子の電流出力端子に接続することを特徴とする請求項3に記載の表示装置。
30

【請求項 5】

上記第1のスイッチング素子の導通状態および遮断状態を決める電位を上記第1のスイッチング素子に伝達する第4の配線を備えていることを特徴とする請求項3または4に記載の表示装置。

【請求項 6】

上記第1のアクティブ素子から上記電気光学素子へ上記駆動電流が流れる経路の導通および遮断を行う第2のスイッチング素子を備えていることを特徴とする請求項3ないし5のいずれかに記載の表示装置。
40

【請求項 7】

第1の配線と第2の配線とが交差する各領域に設けられた、電流駆動型の電気光学素子を

有する画素を、上記第2の配線の電位状態によって上記画素が駆動制御可能となる駆動制御可能期間に上記第1の配線を介して駆動制御するドライブ回路であって、上記電気光学素子を電流駆動するための駆動電流を生成して上記駆動制御可能期間に上記第1の配線を介して上記画素に伝達することにより上記画素を駆動制御するドライブ回路を備えた表示装置であり、

上記ドライブ回路は、各上記画素に対して上記駆動制御可能期間外に1つの定電流源から出力される定電流を用いて上記ドライブ回路内部に上記駆動電流が流れる回路状態を生成して保持し、上記駆動制御可能期間に、保持した上記回路状態で上記駆動電流を生成することを特徴とする表示装置。

【請求項8】

第1の配線と第2の配線とが交差する各領域に電気光学素子を有する表示装置であって、上記電気光学素子と第1のアクティブ素子とを直列に配置し、

上記第1のアクティブ素子の制御端子に第1のコンデンサを接続し、

上記第1の配線と上記第1のコンデンサとの間に第2のアクティブ素子を配置し、

上記第1のアクティブ素子の電流出力端子と上記第1の配線との間に第1のスイッチング素子を配置し、

上記第1のスイッチング素子の制御端子に第4の配線を接続したことを特徴とする表示装置。

【請求項9】

第1の配線と第2の配線とが交差する各領域に電気光学素子を有する表示装置であって、上記第1の配線と並行して第3の配線を配置し、

上記電気光学素子と第1のアクティブ素子とを直列に配置し、

上記第1のアクティブ素子の制御端子に第1のコンデンサを接続し、

上記第3の配線と上記第1のコンデンサとの間に第2のアクティブ素子を配置し、

上記第1のアクティブ素子の電流出力端子と上記第1の配線との間に第1のスイッチング素子を配置したことを特徴とする表示装置。

【請求項10】

上記電気光学素子と上記第1のアクティブ素子との間に第2のスイッチング素子を配置したことを特徴とする請求項8または9に記載の表示装置。

【請求項11】

上記第2のスイッチング素子の制御端子に第4の配線を接続したことを特徴とする請求項10に記載の表示装置。

【請求項12】

上記第3の配線に接続される第2のコンデンサと、

上記第3の配線と第1の電位配線との間に配置された第3のスイッチング素子と、

上記第2のコンデンサの他方端子と上記第1の配線との間に配置された第4のスイッチング素子と、

上記第2のコンデンサの他方端子と第2の電位配線との間に配置された第5のスイッチング素子とを備えたことを特徴とする請求項9ないし11のいずれかに記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、有機EL(Electro Luminescence)ディスプレイやFED(Field Emission Display)等の電流駆動素子を用いた表示装置に関するものである。

【0002】

【従来の技術】

近年、有機ELディスプレイやFEDディスプレイの研究開発が活発に行われている。特に有機ELディスプレイは、低電圧・低消費電力で発光可能なディスプレイとして、携帯電話やPDA(Personal Digital Assistants)などの携帯機器用として注目されている。

【0003】

この有機ELディスプレイは単純マトリックス型から商品化が始まったが、将来アクティブマトリックス型が主流になると考えられている。この有機EL用アクティブ素子は、アモルファスシリコンTFTでも実現可能であるが、ドライブ回路も同時に形成できて、より小型のTFTで有機ELを駆動できる(TFTの移動度が高い)、単結晶シリコンTFTやポリシリコンTFTやCG(Continuous Grain)シリコンTFTが有力視されている。特に、直視型ディスプレイ用としてガラス基板上に形成できる低温ポリシリコンTFTやCGシリコンTFTが好まれている。

【0004】

この低温ポリシリコンやCGシリコンを用いたアクティブマトリックス型有機ELの画素回路は、非特許文献1等で参照されているように、基本的に図23に示すように2つのTFT素子Qa・QbとコンデンサCaと有機EL素子ELaとから構成される。
10

【0005】

即ち、電源配線Vrefと電源端子Vcomとの間で駆動用TFT素子Qbが有機EL素子ELaと直列に配置され、その駆動用TFT素子Qbのゲート端子とソース端子との間にコンデンサCaが接続され、ソース端子は電源配線Vrefに接続されている。また、選択用TFT素子Qaのゲートはゲート配線Giに接続されており、ソース・ドレインはソース配線Sjと駆動用TFT素子Qbのゲート端子とを接続するように接続されている。選択用TFT素子Qaを導通状態(ON状態)として、ソース配線SjからコンデンサCaへ電圧を入力することで、駆動用TFT素子Qbの導通抵抗を制御し、有機EL素子ELaに流れる電流を制御し、画素の輝度を制御する構成である。また、その後、選択用TFT素子Qaを非導通状態(OFF状態)として、コンデンサCaの電位を保持し、駆動用TFT素子Qbの導通状態を保持し、画素の輝度を維持する構成である。
20

【0006】

この構成で中間調を表示する状態とする場合、同一の電圧をコンデンサCaへ印加しても、駆動用TFT素子Qbの閾値特性・移動度がバラツけば、有機EL素子ELaを流れる電流値がバラツキ、画素の輝度がバラツくという問題を抱える。

【0007】

そこで、非特許文献2で示された画素回路構成を図24に示す。図24の回路構成では、駆動用TFT素子Qbと有機EL素子ELaとの間にスイッチ用TFT素子Qcを配置し、駆動用TFT素子Qbとスイッチ用TFT素子Qcとの接続点と、ソース配線Sjとの間に選択用TFT素子Qaを接続し、スイッチ用TFT素子QcとコンデンサCaの間にスイッチ用TFT素子Qdを配置している。スイッチ用TFT素子Qc・Qdのゲートはゲート配線Giに接続されている。
30

【0008】

この構成では、スイッチ用TFT素子QcをOFF状態として、選択用TFT素子Qaとスイッチ用TFT素子QdをON状態とすることで、電源配線Vrefよりソース配線Sjへ電流が流れる。この電流量を図示しないソースドライブ回路の電流源で制御することで、駆動用TFT素子Qbのゲート電圧が、駆動用TFT素子Qbの閾値電圧・移動度に依らず、駆動用TFT素子Qbにそのソースドライブ回路で規定された電流量が流れるような電圧に設定される。そして、選択用TFT素子Qaとスイッチ用TFT素子QdとをOFF状態として、スイッチ用TFT素子QcをON状態とすることで、コンデンサCaにこの時の電位が保持され、駆動用TFT素子Qbから設定された電流量が有機EL素子ELaへ流れるよう制御される。
40

【0009】

また、非特許文献3や特許文献1で示された画素回路構成を図25に示す。図25の回路構成では、駆動用TFT素子Qbと電源配線Vrefとの間にスイッチ用TFT素子Qgが、駆動用TFT素子Qbとソース配線Sjとの間にスイッチ用TFT素子Qfが、有機EL素子ELaとコンデンサCaとの間に選択用TFT素子Qeが配置されている。スイッチ用TFT素子Qf・Qgおよび選択用TFT素子Qeの各ゲートはゲート配線Giに接
50

続されている。

【0010】

この構成では、スイッチ用TFT素子QgをOFF状態として、選択用TFT素子Qeとスイッチ用TFT素子QfとをON状態とすることで、ソース配線Sjより有機EL素子ELaへ電流が流れる。この電流量を図示しないソースドライブ回路の電流ドライブ回路Pjで制御することで、駆動用TFT素子Qbのゲート端子電圧が、駆動用TFT素子Qbの閾値電圧・移動度に依らず、駆動用TFT素子Qbにそのソースドライブ回路で規定された電流量が流れるような電圧に設定される。そして、スイッチ用TFT素子Qfと選択用TFT素子QeとをOFF状態とし、スイッチ用TFT素子QgをON状態とすることで、コンデンサCaにこの時の電位が保持され、駆動用TFT素子Qbから設定された電流量が有機EL素子ELaに流れるよう制御される。
10

【0011】

また、非特許文献4で示された画素回路構成を図26に示す。図26の回路構成では、電源配線Vrefと選択用TFT素子Qaとの間に別の駆動用TFT素子Qiが、選択用TFT素子QaとコンデンサCaとの間にはスイッチ用TFT素子Qhが配置されている。選択用TFT素子Qaのゲートはゲート配線GiAに、スイッチ用TFT素子Qhのゲートはゲート配線GiBにそれぞれ接続されている。この構成では、駆動用TFT素子Qb・Qiがゲート端子を共有するカレントミラー回路を構成し、駆動用TFT素子Qiが選択用TFT素子Qaに接続されている。

【0012】

そして、選択用TFT素子Qaとスイッチ用TFT素子QhとをON状態とすることで、電源配線Vrefからソース配線Sjへ電流を流す。この流れる電流量を図示しないソースドライブ回路の電流ドライブ回路Pjで制御することで、駆動用TFT素子Qiのゲート端子電圧が、駆動用TFT素子Qiの閾値電圧・移動度に依らず、駆動用TFT素子Qiに所定の電流量が流れるような電圧に設定される。そして、スイッチ用TFT素子Qhと選択用TFT素子QaとをOFF状態とすることで、コンデンサCaにこの時の電位が保持され、駆動用TFT素子Qbから設定された電流量が有機EL素子ELaに流れるよう制御される。
20

【0013】

なお、CGシリコンTFTの構成に関しては、非特許文献5等で発表されている。また、CGシリコンTFTプロセスに関しては、非特許文献6等で発表されている。また、有機EL素子の構成については、非特許文献7等で発表されている。
30

【0014】

【特許文献1】

特表2002-514320号公報

公表日 2002年5月14日

【0015】

【非特許文献1】

"Active Matrix Addressing of Polymer Light Emitting Diodes Using Low Temperature Poly Silicon TFTs", AM-LCD 2000 pp 249-252
40

【0016】

【非特許文献2】

"Active Matrix PolyLED Displays", IDW'00 pp 235-238

【0017】

【非特許文献3】

"Improved Polysilicon TFT Drivers for Light Emitting Polymer Displays", IDW'00 pp 243-246
50

【0018】

【非特許文献4】

"13.0-inch AM-OLED Display with Top Emitting Structure and Adaptive Current Mode"

Programmed Pixel Circuit(TAC)", SID'01 pp 384 - 386

【0019】

【非特許文献5】

SID'00 Digest pp.924-927の "4.0-in. TFT-OLED Displays and a Novel Digital Driving Method" 半導体エネルギー研究所

【0020】

【非特許文献6】

AM-LCD 2000 pp.25-28の "Continuous Grain Silicon Technology and Its Applications for Active Matrix Display" 半導体エネルギー研究所

10

【0021】

【非特許文献7】

AM-LCD '01 pp.211-214の "Polymer Light-Emitting Diodes for use in Flatpanel Display"

【0022】

【発明が解決しようとする課題】

しかしながら、ソースドライブ回路を TFT で形成する場合、ソース配線毎に電流源を設けると、その電流源を構成する TFT 素子の閾値特性・移動度のバラツキにより、同じ電流を流すつもりでも、ソース配線毎に電流量がばらついてしまう。即ち、ソースドライブ回路を構成する TFT 素子自体の特性がばらつくので、その出力電流・電圧がバラツキ、輝度ムラが目立つのである。

20

【0023】

上記特許文献 1 や、非特許文献 2 ないし 4 では、ソース配線 S_j を駆動するためのソースドライブ回路の電流ドライブ回路 P_j をどのように構成するか明示されていない。

【0024】

そこで、パネル毎に（または RGB 各色毎に）1 つの電流ドライブ回路 P_j を設ける方法が考えられるが、このような構成を取ると、電流ドライブ回路 P_j に必要とされる出力電流の周波数が高くなり、現状の TFT 特性では構成することが困難である。

【0025】

そこで、ソースドライブ回路を TFT で構成せず単結晶 IC で構成する方法が考えられるが、これではドライブ回路も同時に形成できるという、低温ポリシリコン TFT や CG シリコン TFT の特長が生かせなくなる。

30

【0026】

本発明は上記課題を解決するためになされたものであり、電気光学素子の電流駆動用のドライブ回路を、低温ポリシリコン TFT や CG シリコン TFT で構成することを可能としながら各ソース配線間で電流値がばらつくのを防止することができる表示装置を提供することを目的とする。

【0027】

【課題を解決するための手段】

本発明の表示装置は、上記課題を解決するために、第 1 の配線と第 2 の配線とが交差する各領域に設けられた、電流駆動型の電気光学素子を有する画素と、上記第 2 の配線の電位状態によって上記画素が駆動制御可能となる駆動制御可能期間に上記第 1 の配線を介して上記画素を駆動制御するドライブ回路とを備えた表示装置において、1 つの定電流源を備え、上記ドライブ回路は、上記電気光学素子を電流駆動するための駆動電流を生成して上記駆動制御可能期間に上記第 1 の配線を介して上記画素に伝達することにより上記画素を駆動制御し、各上記画素に対して上記駆動制御可能期間外に上記定電流源から出力される定電流を用いて上記ドライブ回路内部に上記駆動電流が流れる回路状態を生成して保持し、上記駆動制御可能期間に、保持した上記回路状態で上記駆動電流を生成することを特徴としている。

40

【0028】

上記の発明によれば、ドライブ回路は、画素の駆動制御可能期間外に 1 つの定電流源から

50

出力される定電流を用いて、ドライブ回路内部に電気光学素子の駆動電流が流れる回路状態を生成してこれを保持する。ドライブ回路はこの動作を各画素に対して行うが、ドライブ回路は各画素に共通の定電流源を用いるため、上記ドライブ回路の出力特性をその定電流値でバラツキが少なくなるよう設定できる。その結果、各画素に対して設定する駆動電流に正確に対応した回路状態を保持することになる。そして、ドライブ回路は、第2の配線の電位状態によって駆動制御可能期間となった画素に対して、保持した回路状態で駆動電流を生成し、第1の配線を介して伝達することにより、画素を駆動制御する。駆動電流が伝達された画素では、この駆動電流が電気光学素子に流れ表示を行う。

【0029】

また、上記のドライブ回路では、パネル毎にまたはRGB各色毎に1つの電流ドライブ回路を設けて駆動制御時に画素ごとに電流を切り替えていくような構成とは異なって、上記駆動制御可能期間外に1つの定電流源を用いて第1の配線に対応するドライブ回路の駆動電流の設定を行い、そのドライブ回路を用いて画素の電流値を設定しているため、出力電流の周波数が高くなることはない。従って、低温ポリシリコンTFTやCGシリコンTFTなどのTFTを用いて構成することができる。

【0030】

この結果、電気光学素子の電流駆動用のドライブ回路を、低温ポリシリコンTFTやCGシリコンTFTで構成することを可能としながら各ソース配線間で電流値がばらつくのを防止することができる表示装置を提供することができる。

【0031】

さらに本発明の表示装置は、上記課題を解決するために、上記電気光学素子に上記駆動電流が流れる電流駆動期間は、一定期間内に設けられた複数の期間の選択的な組み合わせにより長さが決定されることを特徴としている。

【0032】

上記の発明によれば、一定期間内に設けられた複数の期間から選択的に組み合わせることにより電流駆動期間の長さを決定して電気光学素子を電流駆動するので、一定期間において、ドライブ回路から伝達される駆動電流値で定められる階調数よりも多階調で表示を行うことができる。

【0033】

さらに本発明の表示装置は、上記課題を解決するために、上記画素は、上記電気光学素子の電流駆動時に上記駆動電流を生成して上記電気光学素子に流す第1のアクティブ素子と、上記駆動制御可能期間に上記ドライブ回路から伝達された上記駆動電流を上記電流駆動時に上記第1のアクティブ素子に生成させるために上記第1のアクティブ素子に印加する電圧条件を保持する第1のコンデンサと、上記駆動制御可能期間に、導通状態となることにより上記ドライブ回路から上記第1のアクティブ素子に上記駆動電流を伝達させて上記第1のアクティブ素子に上記電圧条件を生成させ、上記電圧条件の生成後に遮断状態となることにより上記電圧条件を上記第1のコンデンサに保持させる第2のアクティブ素子と、導通状態となることにより上記画素を上記第1の配線に接続して上記駆動制御可能期間を開始させ、上記第1のコンデンサによる上記電圧条件を上記第1のコンデンサに保持させる第1のスイッチング素子とを備えていることを特徴としている。

【0034】

上記の発明によれば、第1のスイッチング素子が導通状態になると、第1のスイッチング素子は画素を第1の配線に接続し、駆動制御可能期間が開始する。この駆動制御可能期間に、第2のアクティブ素子が導通状態となることにより、ドライブ回路から第1のアクティブ素子に駆動電流が伝達され、電気光学素子の電流駆動時に電気光学素子に流す駆動電流を第1のアクティブ素子に生成させるために第1のアクティブ素子に印加する電圧条件が生成される。そして、第2のアクティブ素子が遮断状態となることにより、生成された電圧条件は第1のコンデンサに保持される。さらに、この後に第1のスイッチング素子が遮断状態となることにより、画素は第1の配線から遮断されて駆動制御可能期間が終了し、第1のコンデンサが保持した電圧条件で第1のアクティブ素子から電気光学素子に駆動

電流が流れる電流駆動が可能になる。

【0035】

以上により、ドライブ回路から伝達された駆動電流で電気光学素子を駆動することができる。

【0036】

さらに本発明の表示装置は、上記課題を解決するために、上記第1のアクティプ素子による上記電圧条件の生成に必要な電位を、上記第1のスイッチング素子を介さずに、導通状態にある上記第2のアクティプ素子を介して上記第1のアクティプ素子に伝達するように設けられた第3の配線を備えており、上記第1のスイッチング素子は、導通状態となることによって、上記第1の配線を上記第1のアクティプ素子の電流出力端子に接続することを特徴としている。10

【0037】

上記の発明によれば、第2のアクティプ素子が導通状態にあるときには第3の配線から、第1のスイッチング素子を介さずに第2のアクティプ素子を介して、第1のアクティプ素子による電圧条件の生成に必要な電位が第1のアクティプ素子に伝達される。そして、第1のスイッチング素子が導通状態となることによって、第1の配線は第1のアクティプ素子の電流出力端子に接続される。従って、電気光学素子が閾値電圧を有するダイオード型の電気光学素子であってこれを暗輝度状態にしたいとき、第3の配線から第2のアクティプ素子を介して第1のアクティプ素子に第1のアクティプ素子が遮断状態となるような電位を伝達し、第1の配線から第1のスイッチング素子を介して第1のアクティプ素子の電流出力端子に、電気光学素子に印加される電圧が閾値電圧以下となるような電位を伝達することにより、電気光学素子を完全に暗状態とすることができる。20

【0038】

さらに本発明の表示装置は、上記課題を解決するために、上記第1のスイッチング素子の導通状態および遮断状態を決める電位を上記第1のスイッチング素子に伝達する第4の配線を備えていることを特徴としている。

【0039】

上記の発明によれば、第2のアクティプ素子の導通状態および遮断状態を決める電位を第2のアクティプ素子に伝達するのに例えば第2の配線を用いるようにし、第4の配線が第1のスイッチング素子の導通状態および遮断状態を決める電位を第1のスイッチング素子に伝達する。従って、第1のコンデンサが電圧条件を保持するまでに、生成された電圧が電圧条件から第1のスイッチング素子のスイッチングによって変化してしまうという悪影響を回避し、第1のコンデンサが電圧条件を保持した後に第1のスイッチング素子を遮断状態とすることを確実に行うことができる。30

【0040】

また、上記電圧条件を第1のコンデンサに保持させた後、第1の配線とドライブ回路との間の接続を切り、第1のスイッチング素子を遮断状態とする。

【0041】

その後、第1のアクティプ素子を遮断状態とする場合、第1の配線をOFF電位に接続する。また、第1のアクティプ素子を導通状態のままとする場合、第1の配線とドライブ回路との間をオープン状態のままとする。40

その後、第2のアクティプ素子を遮断状態とする。

【0042】

この場合、電気光学素子へ電流を流すことなく第1のアクティプ素子を遮断状態とすることができます。

【0043】

また、第4の配線を備えていることによって、第2のアクティプ素子の状態とは独立に第1のスイッチング素子の導通状態と遮断状態とを切り替えることができるので、電気光学素子の電流駆動を行っている最中に第1のアクティプ素子を遮断状態とするような電位を第2のアクティプ素子に伝達することにより、電気光学素子の電流駆動期間の長さを制御50

することができる。

【0044】

さらに本発明の表示装置は、上記課題を解決するために、上記第1のアクティブ素子から上記電気光学素子へ上記駆動電流が流れる経路の導通および遮断を行う第2のスイッチング素子を備えていることを特徴としている。

【0045】

上記の発明によれば、第1のアクティブ素子から電気光学素子へ駆動電流が流れる経路を、第2のスイッチング素子によって導通および遮断することができるので、電気光学素子が閾値電圧を有するダイオード型の素子でなくても容易に電流駆動を行うことができる。

【0046】

また、本発明の表示装置の表示装置は、上記課題を解決するために、第1の配線と第2の配線とが交差する各領域に設けられた、電流駆動型の電気光学素子を有する画素を、上記第2の配線の電位状態によって上記画素が駆動制御可能となる駆動制御可能期間に上記第1の配線を介して駆動制御するドライブ回路であって、上記電気光学素子を電流駆動するための駆動電流を生成して上記駆動制御可能期間に上記第1の配線を介して上記画素に伝達することにより上記画素を駆動制御するドライブ回路を備えた表示装置であり、上記ドライブ回路は、各上記画素に対して上記駆動制御可能期間外に1つの定電流源から出力される定電流を用いて上記ドライブ回路内部に上記駆動電流が流れる回路状態を生成して保持し、上記駆動制御可能期間に、保持した上記回路状態で上記駆動電流を生成することを特徴としている。
10

【0047】

上記の発明によれば、上記ドライブ回路の駆動電流を1つの定電流源を用いて設定するので、上記ドライブ回路の出力特性をその定電流値でバラツキが少なくなるよう設定できる。その結果上記ドライブ回路の出力電流のバラツキを抑えられるので好ましい。

【0048】

この結果、電気光学素子の電流駆動用のドライブ回路を、低温ポリシリコンTFTやCGシリコンTFTで構成することを可能としながら各ソース配線間で電流値がばらつくのを防止することができる表示装置を提供することができる。

【0049】

また、本発明の表示装置は、上記課題を解決するために、第1の配線と第2の配線とが交差する各領域に電気光学素子を有する表示装置であって、上記電気光学素子と第1のアクティブ素子とを直列に配置し、上記第1のアクティブ素子の制御端子に第1のコンデンサを接続し、上記第1の配線と上記第1のコンデンサとの間に第2のアクティブ素子を配置し、上記第1のアクティブ素子の電流出力端子と上記第1の配線との間に第1のスイッチング素子を配置し、上記第1のスイッチング素子の制御端子に第4の配線を接続したことを見ると特徴としている。
30

【0050】

上記の発明によれば、第1のスイッチング素子と第2のアクティブ素子とを導通状態とし、第1のアクティブ素子から上記第1のスイッチング素子を通して第1の配線へ所定電流を流すことで上記第1のコンデンサへ保持する電位を生成できる。また、上記第2のアクティブ素子を非導通状態とすることで、上記電位を保持できる。
40

【0051】

従って、電気光学素子の電流駆動用ドライブ回路に、1つの定電流源から出力される定電流を用いて上記所定電流を流すようなドライブ回路を用いれば、該ドライブ回路の出力特性をその定電流値でバラツキが少なくなるよう設定できる。その結果、電気光学素子の電流駆動用のドライブ回路を、低温ポリシリコンTFTやCGシリコンTFTで構成することを可能としながら各ソース配線間で電流値がばらつくのを防止することができる表示装置を提供することができる。

【0052】

また、本発明の表示装置は、上記課題を解決するために、第1の配線と第2の配線とが交
50

差する各領域に電気光学素子を有する表示装置であって、上記第1の配線と並行して第3の配線を配置し、上記電気光学素子と第1のアクティブ素子とを直列に配置し、上記第1のアクティブ素子の制御端子に第1のコンデンサを接続し、上記第3の配線と上記第1のコンデンサとの間に第2のアクティブ素子を配置し、上記第1のアクティブ素子の電流出力端子と上記第1の配線との間に第1のスイッチング素子を配置したことを特徴としている。

【0053】

上記の発明によれば、第1の配線と第3の配線とを繋ぎ、第1のスイッチング素子と第2のアクティブ素子とを導通状態とし、第1のアクティブ素子から上記第1のスイッチング素子を通して第1の配線へ所定電流を流すことで上記第1のコンデンサへ保持する電位を生成できる。
10

【0054】

従って、電気光学素子の電流駆動用のドライブ回路に、1つの定電流源から出力される定電流を用いて上記所定電流を流すようなドライブ回路を用いれば、該ドライブ回路の出力特性をその定電流値でバラツキが少なくなるよう設定できる。その結果、電気光学素子の電流駆動用のドライブ回路を、低温ポリシリコンTFTやCGシリコンTFTで構成することを可能としながら各ソース配線間で電流値がばらつくのを防止することができる表示装置を提供することができる。

【0055】

また、第1の配線と第3の配線とを分離し、第1のスイッチング素子と第2のアクティブ素子とを導通状態とし、第3の配線に所定の電位を印加することで上記第1のアクティブ素子を非導通状態とできる。この結果、第1のアクティブ素子の非導通状態での電流値を充分小さくできるので好ましい。
20

【0056】

また、上記表示装置は、特に、上記画素回路構成で、上記電気光学素子と第1のアクティブ素子との間に第2のスイッチング素子を配置した表示装置である。

【0057】

上記構成によれば、電気光学素子の特性によらず、上記第1のアクティブ素子の出力電流を第1の配線へ導けるので、上記第1の配線と第3の配線との間を導通状態としたとき、第1のアクティブ素子が所望の電流を流すよう、その電流制御端子電位を設定できる。その結果、第1のアクティブ素子の出力電流のバラツキを抑えられて好ましい。
30

【0058】

また、第1の配線と第3の配線との間を非導通状態とし、第3の配線へ所定の電圧を印加することで第1のアクティブ素子を非導通状態とできる。この結果、第1のアクティブ素子の非導通状態での電流値を充分小さくできるので好ましい。

【0059】

また、上記表示装置は、特に、上記第2のスイッチング素子の制御端子に第4の配線を接続した表示装置である。

【0060】

上記構成により、第4の配線の電位状態により、第1のアクティブ素子の導通および遮断とは独立に第2のスイッチング素子を導通および遮断することができるので、第1のアクティブ素子の制御端子電位を保持させたまま、電気光学素子の消光動作を行うことができる。
40

【0061】

また、上記表示装置は、特に、上記第1のスイッチング素子と第2のアクティブ素子との導通状態を制御する配線を異らせた表示装置である。

【0062】

上記構成により、上記第2のアクティブ素子と第1のスイッチング素子を独立に制御できるので、上記第2のアクティブ素子を非導通状態とした後、上記第1のスイッチング素子を非導通状態とできる。その結果、上記第1のアクティブ素子が所定電流を流している状
50

態でその電位を上記第1のコンデンサへ保持でき、その出力電流値のバラツキを抑制できるので好ましい。

【0063】

また、上記表示装置用にドライバ回路の出力端には、第3の配線に第2のコンデンサを接続し、第3の配線と第1の電位配線との間に第3のスイッチング素子を配置し、上記第2のコンデンサと第1の配線との間に第4のスイッチング素子を配置し、上記第2のコンデンサと第2の電位配線との間に第5のスイッチング素子を配置した構成を用いることが好ましい。

【0064】

上記構成によれば、第2のコンデンサへ電荷を貯めることで、第1の配線と第3の配線との間に電位差を発生できる。その結果、上記第1のアクティブ素子へ所望の電流を流すときの第3配線の電位を適切に設定できる。その結果、上記第1のアクティブ素子の出力電流のバラツキを抑えられるので好ましい。
10

【0065】

【発明の実施の形態】

以下、種々の実施の形態を挙げて本発明の詳細な説明を行う。

【0066】

本発明に用いられる各スイッチング素子は低温ポリシリコンTFTやCGシリコンTFTなどで構成できるが、以下の実施の形態ではCGシリコンTFTを用いることとする。
20

【0067】

なお、このCGシリコンTFTの構成に関しては、非特許文献5等で発表されているので、ここではその詳細な説明は省略する。

【0068】

また、CGシリコンTFTプロセスに関しては、非特許文献6等で発表されているので、ここではその詳細な説明は省略する。

【0069】

また、以下の実施の形態で用いる電気光学素子である有機EL素子の構成についても、非特許文献7等で発表されているので、ここではその詳細な説明は省略する。

【0070】

【実施の形態1】

本発明の一実施の形態について、図1ないし図4に基づいて説明すれば以下の通りである。
30

【0071】

本実施の形態では特に本発明の表示装置が備えるドライバ回路の構成及び駆動方法、画素構成について説明する。

【0072】

図1に、本実施の形態の表示装置の一部を示す。これは該表示装置のドライバ回路の一部と画素の一部とを、それぞれの基本構成として示した図である。

【0073】

図1では $m \times n$ のマトリックス状に配置された画素 $A_{i,j}$ のうち2つの画素のみ描かれている。しかし、実際の表示装置はこの画素 $A_{i,j}$ が縦にm個、横にn個配置されている。また、カラー表示装置では、1つの画素が3つのドットから構成され、各々のドットに電気光学素子とその画素回路が配置されるが、図1では説明を簡単にするために、1つの画素が1つのドットから構成された単色表示装置を示す。
40

【0074】

図1の画素 $A_{i,j}$ の回路構成は、全実施の形態で述べる画素構成のうちの第1の画素回路構成である。各画素 $A_{i,j}$ はソース配線（第1の配線） S_j とゲート配線（第2の配線） G_i とが交差する領域に設けられ、それぞれ電気光学素子EL1、n型のスイッチ用TFT（第1のスイッチング素子）Q1、n型の選択用TFT（第2のアクティブ素子）Q3、p型の電流出力用TFT（第1のアクティブ素子）Q4、およびコンデンサ（第1のコ
50

シデンサ) C 1とを備えている。

【0075】

電気光学素子 E L 1 はダイオード型の電流駆動型電気光学素子であり、陰極は電源端子 V_{c o m}に接続されている。電流出力用 T F T Q 4 は、電源配線 V_{r e f} と電源端子 V_{c o m}との間に電気光学素子 E L 1 と直列に接続されており、コンデンサ C 1 はそのゲート電圧を保持するように電流出力用 T F T Q 4 に接続されている。そのコンデンサ C 1 の電圧は選択用 T F T Q 3 により設定される。選択用 T F T Q 3 はゲート端子がゲート配線(第2の配線) G_i に接続され、ソース端子・ドレイン端子は電流出力用 T F T Q 4 のゲート端子と、電流出力用 T F T Q 4 と電気光学素子 E L 1 との接続点とをつなぐように接続されている。選択用 T F T Q 3 の導通状態および遮断状態はゲート配線 G_i の電位状態で決定される。
10

【0076】

電気光学素子 E L 1 は陽極側で電流出力用 T F T Q 4 と直列に接続され、スイッチ用 T F T Q 1 はそのソース端子・ドレイン端子が上記接続点とソース配線 S_j とを接続するよう配置されている。そして、スイッチ用 T F T Q 1 のゲート端子は制御線 W_i に接続されている。スイッチ用 T F T Q 1 の導通状態および遮断状態は制御線 W_i の電位状態で決定される。

【0077】

画素 A_{i j} は、制御線 W_i の電位状態がハイになってスイッチ用 T F T Q 1 が導通状態となることにより、電流ドライブ回路 P_j によるソース配線 S_j を介した駆動制御が可能な駆動制御可能期間となる。また、制御線 W_i の電位状態がローになってスイッチ用 T F T Q 1 が遮断状態となることにより、電流ドライブ回路 P_j によるソース配線 S_j を介した駆動制御が不可能な駆動制御可能期間外となる。
20

【0078】

次に、ドライブ回路の一部である図1の電流ドライブ回路 P_j の構成について説明する。電流ドライブ回路 P_j は、電気光学素子 E L 1 を電流駆動するための駆動電流を生成して画素 A_{i j} の駆動制御可能期間にソース配線 S_j を介して画素 A_{i j} に伝達することにより画素 A_{i j} を駆動制御する。

【0079】

電流ドライブ回路 P_j は電流源回路 B_j を備えている。電流源回路 B_j は、n型の T F T Q 6・Q 7・Q 8、n型の電流設定用 T F T Q 9、およびコンデンサ C 2 を備えている。電流出力用 T F T Q 9 は、T F T Q 6 を介してソース配線 S_j に接続されているとともに、T F T Q 7 を介して外部の定電流源 I_{c o n} に接続されている。T F T Q 6 のゲート端子は制御配線 D_j に接続され、制御配線 D_j の電位によって T F T Q 6 の導通状態および遮断状態が決定される。電流設定用 T F T Q 9 のソース端子は G N D に接続されている。T F T Q 7 のゲート端子は制御配線 L_j に接続され、制御配線 L_j の電位によって T F T Q 7 の導通状態および遮断状態が決定される。
30

【0080】

また、コンデンサ C 2 は電流設定用 T F T Q 9 のゲート端子とソース端子との間に接続されており、その端子間電圧が電流設定用 T F T Q 9 のゲート電圧となる。T F T Q 8 は電流設定用 T F T Q 9 のゲート端子を定電流源 I_{c o n} に接続するか否かを決めるスイッチ用素子である。T F T Q 8 のゲート端子は制御配線 R_j に接続され、制御配線 R_j の電位によって T F T Q 8 の導通状態および遮断状態が決定される。
40

【0081】

また、電流ドライブ回路 P_j はソース配線 S_j を電源配線 V_H に接続するか否かを決める p型の T F T Q 5 を備えている。T F T Q 5 のゲート端子は制御配線 D_j に接続されている。

【0082】

上記の構成の電流ドライブ回路 P_j と同一の構成のドライブ回路が、ソース配線ごとに電流ドライブ回路 P_{j+1}、P_{j+2}、…と備えられている。ただし、定電流源 I_{c o n} は
50

、各ドライブ回路に共通に1つだけ設けられている。

【0083】

図1のドライブ回路を構成する電流ドライブ回路P_jは、1つの電流源回路B_jから1つの電流ドライブ回路P_jが構成されているので、その出力電流は（外部定電流源I_{c o n}により設定された電流値を取るか、OFF電位V_Hを取るかの）2つの状態を持つ。

【0084】

そして、この電流ドライブ回路P_jはこのON状態の電流値でバラツキが最小となるよう電流設定用TFTQ9のゲート幅や長さを設定すればいいので、その出力電流値のバラツキは少なくできる。

【0085】

この電流ドライブ回路P_jの出力電流レベルが2値レベルを取るとき、多階調レベルを得るために駆動方法を図2に示す。

【0086】

即ち、図2では、1つのフレーム期間を3つのフィールド期間に分け、各々のフィールド期間の長さを1:2:4の比に設定する。そして各々のフィールド期間の最初に各画素A_{i j}の電流出力用TFTQ4の設定動作を行う。その結果、1フレーム期間の間に、各画素A_{i j}の電気光学素子EL1を流れる電流は3回変化可能であり、各々の表示期間の比率が1:2:4となるので、8つの異なる電荷総量が与えられ、8階調表示が可能となる。D_jおよびG1~G8の欄の1、2、3はそれぞれ、1ビット目、2ビット目、および3ビット目のデータに対応して駆動されることを示している。

10

20

【0087】

そして、図2に示すように、第3フィールドの表示状態を設定した後、各電流ドライブ回路P_jの電流値を順番に再設定する。その結果、次のフレームにおいても各電流ドライブ回路P_jから等しい電流値が出力できるようになる。なお、この図2のタイミングチャートは、表示装置の画素数m×nは8×16の場合に相当する。

【0088】

図2において1) D_j, L_j, R_jの欄に「1」~「16」の数字が入っているのは、この各電流ドライブ回路P_jの電流設定動作を行うことを示しており、その時のタイミングチャートを図3に示す。

30

【0089】

この電流設定モードでは、最初に電流ドライブ回路P_jからソース配線S_jへ電流が流れ出ないよう、制御配線D_jをロー電位として、電流出力用TFTでもある電流設定用TFTQ9とソース配線S_jとを繋ぐn型TFTQ6をOFF状態とする。そして、この電流ドライブ回路P_jの電流設定用TFTQ9（兼電流出力用TFT）のみに定電流源I_{c o n}から電流が流れるよう、この電流ドライブ回路P_jに対応する制御配線L_j, R_jのみをハイ状態とし、他の電流ドライブ回路P_k (j ≠ k) に対応する制御配線L_k, R_kをロー状態とする。

【0090】

このとき、電流ドライブ回路P_jの電流設定用TFTQ9（兼電流出力用TFT）のソース端子と定電流源I_{c o n}を結ぶn型TFTQ7がON状態となり、コンデンサC2と定電流源I_{c o n}とを結ぶn型TFTQ8もON状態となり、電流設定用TFTQ9（兼電流出力用TFT）へ定電流源I_{c o n}から定電流が流れ、その電流値によりコンデンサC2の電圧が設定される。

40

【0091】

その後、制御配線R_jをロー状態とすることでn型TFTQ8を非導通状態として、コンデンサC2の電圧を保持し、制御配線L_jをロー状態とすることで電流ドライブ回路P_jの電流設定を終了し、次の電流ドライブ回路P_{j+1}の電流設定を行う。その結果、電流ドライブ回路P_jの電流出力用TFTQ9（兼電流設定用TFT）の出力は、その電流出力用TFTQ9の特性バラツキに依らず、定電流源I_{c o n}により設定された電流値が流れよう設定される。

50

【0092】

このようにして、電流ドライブ回路P_jは、画素A_{i,j}に対して駆動制御可能期間外に定電流源I_{con}から出力される定電流を用いて、ドライブ回路P_j内部に電気光学素子E_{L1}の駆動電流が流れる回路状態を生成して保持し、駆動制御可能期間に、保持した上記回路状態で上記駆動電流を生成する。そして、画素A_{i,j}は、電気光学素子E_{L1}に駆動電流が流れる電流駆動期間の長さに対応して表示状態が決定される。電気光学素子E_{L1}に駆動電流が流れる電流駆動期間は、一定期間内に設けられた3つの期間の選択的な組み合わせにより長さが決定される。

【0093】

図2で1) D_j, L_j, R_jの欄に「1」が示されているタイミングが図3の時間0～T_aに相当し、電流ドライブ回路P₁に対して上記設定動作を行う時間である。図2で1) D_j, L_j, R_jの欄に「2」が示されているタイミングが図3の時間T_a～2T_aに相当し、電流ドライブ回路P₂に対して上記設定動作を行う時間である。なお、1) D_j, L_j, R_jの欄がブランクのときは、どの電流ドライブ回路P_jに対しても、上記設定動作を行わない。10

【0094】

また、図2において3) G_i, W_iの欄に「1」～「8」の数字が入っているのが、この電流ドライブ回路P_jを用いて各画素A_{i,j}の電流を設定する動作であり、その時のタイミングチャートを図4に示す。20

【0095】

この画素選択動作では、各選択期間の最初にデータ信号D_jを用いて、ソース配線S_jを上記電流出力用TFTQ9に繋ぐか(図4の1)2)では「H」状態で示す)、OFF電位V_Hに繋ぐか(図4の1)2)では「L」状態で示す)を設定する。次に制御線W_iをハイ状態とし、各画素A_{i,j}のスイッチ用TFTQ1をON状態とし、電流出力用TFTQ4からソース配線S_jへ電流が流れよう設定する。また、ゲート配線G_iをハイ状態とし、選択用TFTQ3をON状態とし、電流出力用TFTQ4のゲート端子とソース配線S_jとを導通させる。

【0096】

このとき、データ信号D_jがロー状態であれば、ソース配線S_jはOFF電位V_Hに繋がるので、電流出力用TFTQ4のゲート端子の電位は、電流出力用TFTQ4がOFF状態となるよう設定される。そして、この後、ゲート配線G_iがロー状態となり、選択用TFTQ3がOFF状態となり、電流出力用TFTQ4のゲート電位として、このOFF電位V_Hが保持される。30

【0097】

その後、制御線W_iがロー状態となって、各画素A_{i,j}のスイッチ用TFTQ1がOFF状態となり、電流出力用TFTQ4から電気光学素子E_{L1}へ電流が流れることができるよう設定される。しかしこの場合、電流出力用TFTQ4のゲート電位がOFF電位なので、電気光学素子E_{L1}に電流が流れない状態が保持される。

【0098】

また、データ信号D_jがハイ状態であれば、ソース配線S_jは電流源回路B_jに繋がるので、電流出力用TFTQ4からソース配線S_jを通して、電流源回路B_jへ電流が流れる。このとき、ソース配線S_j電位は、電流出力用TFTQ4(兼電流設定用TFT)の電流値が、電流源回路B_jの電流値と一致する条件で安定化する。その後、ゲート配線G_iがロー状態となって、選択用TFTQ3がOFF状態となれば、電流出力用TFTQ4のゲート端子に付けられたコンデンサC₁に、この電圧が保持される。40

【0099】

その後、制御線W_iがロー状態となって、電流出力用TFTQ4から電気光学素子E_{L1}へ電流が流れることができよう設定される。そして、電流源回路B_jにより設定された電流値が電流出力用TFTQ4から電気光学素子E_{L1}へ流れる。

【0100】

このように、電流出力用 TFTQ4 は、電気光学素子 EL1 の電流駆動時に駆動電流を生成して電気光学素子 EL1 に流す。コンデンサ C1 は、駆動制御可能期間にドライブ回路 Pj から伝達された駆動電流を電気光学素子 EL1 の電流駆動時に電流出力用 TFTQ4 に生成させるために電流出力用 TFTQ4 に印加する電圧条件を保持する。選択用 TFTTQ3 は、駆動制御可能期間に、導通状態となることによりドライブ回路 Pj から電流出力用 TFTQ4 に駆動電流を伝達させて電流出力用 TFTQ4 に上記電圧条件を生成させ、上記電圧条件の生成後に遮断状態となることにより上記電圧条件をコンデンサ C1 に保持させる。スイッチ用 TFTQ1 は、導通状態となることにより画素 Ai j をソース配線 Sj に接続して駆動制御可能期間を開始させ、コンデンサ C1 による上記電圧条件の保持後に遮断状態となることにより画素 Ai j をソース配線 Sj から遮断して駆動制御可能期間を終了させて電気光学素子 EL1 の電流駆動を可能にする。
10

【0101】

なお、上記例では、ドライブ回路 Pj から電流出力用 TFTQ4 に駆動電流を伝達しているのはスイッチ用 TFTQ1 および選択用 TFTTQ3 がともに導通している期間であり、選択用 TFTTQ3 がゲート配線 Gi の電位状態によって導通する期間を画素 Ai j の駆動制御可能期間と見なすこともできる。

【0102】

なお、電流源回路 Bj により設定された電流値が電流出力用 TFTQ4 から電気光学素子 EL1 へ流れるとき、電流出力用 TFTQ4 の出力端子電位は、電気光学素子 EL1 を流れる電流と、電流出力用 TFTQ4 を流れる電流とが等しくなるよう上昇する。
20

【0103】

この制御線 Wi がハイ状態からロー状態になるとき、電流出力用 TFTQ4 からソース配線 Sj へ流れる電流量は減少していく。しかし、電流ドライブ回路 Pj がソース配線 Sj から流れ出る電流量は一定値を保とうとするので、ソース配線 Sj の電位は低下していく。一方、電流出力用 TFTQ4 の出力端子電位は上昇する。もし、この制御線 Wi の変化タイミングと前記ゲート配線 Gi の変化タイミングとが同時であっても、スイッチ用 TFTQ1 と選択用 TFTTQ3 との閾値特性バラツキが小さく、スイッチ用 TFTQ1 と選択用 TFTTQ3 とが同時に OFF になれば問題ない。

【0104】

しかし、スイッチ用 TFTQ1 と選択用 TFTTQ3 との閾値特性バラツキ条件によっては、スイッチ用 TFTQ1 が OFF になってから選択用 TFTTQ3 が OFF となり、電流出力用 TFTQ4 からコンデンサ C1 へ電荷が流れてから、コンデンサ C1 の電位が電流出力用 TFTQ4 のドレン端子から切り離される可能性がある。
30

【0105】

この場合、制御線 Wi がロー状態となったあとに電流出力用 TFTQ4 から電気光学素子 EL1 へ流れる電流値は、電流源回路 Bj により設定された電流値と一致しない。そこで、本実施の形態で用いる画素回路構成としては、このスイッチ用 TFTQ1 と選択用 TFTQ3 とが独立に制御できる構成が望ましい。

【0106】

なお、図2の3) Gi, Wi の欄に「1」が示されているタイミングが図4の時間 0 ~ Tb に相当し、画素 Ai j に対して上記選択動作を行う時間である。図2の3) Gi, Wi の欄に「2」が示されているタイミングが図4の時間 Tb ~ 2Tb に相当し、画素 A2 j に対して上記選択動作を行う時間である。なお、3) Gi, Wi の欄がブランクのときは、どの画素 Ai j に対しても上記選択動作を行わない。
40

【0107】

このような時間分割階調表示を行う場合も、電気光学素子が電流値に比例した輝度を与えるものであれば、電気光学素子を駆動する画素回路の出力は、電圧出力型より電流出力型の方が好ましい。

【0108】

これは、図1の画素回路 Ai j の電流出力用 TFTQ4 のゲート端子へ同一の電圧を印加
50

しても、周囲温度や電気光学素子の特性バラツキにより、電気光学素子を流れる電流値が変化してしまうからである。一方、電流出力用TFTQ4へ一定電流を流すよう電流出力用TFTQ4のゲート端子電圧を設定すれば、流れる電流値は所期の電流値なので上記問題は起こらない。

【0109】

特に、電気光学素子に短絡が起きたとき、電圧出力型では画面全体に渡る電源電圧の低下が起こり、表示品位を著しく損なう。しかし、上記電流出力型では所定の電流値しか流れないので、このように極端な表示品位の低下は現れないので好ましい。

【0110】

本実施の形態によれば、電流ドライブ回路Pjでは、パネル毎にまたはRGB各色毎に1つの電流ドライブ回路を設けて駆動制御時に画素ごとに電流を切り替えていくような構成とは異なって、上記駆動制御可能期間外に1つの定電流源Iconを用いてソース配線に対応するドライブ回路の駆動電流の設定を行い、そのドライブ回路を用いて画素の電流値を設定しているため、出力電流の周波数が高くなることはない。従って、低温ポリシリコンTFTやCGシリコンTFTなどのTFTを用いて構成することができる。また、上記ドライブ回路の出力特性をその定電流値でバラツキが少なくなるよう設定できる。

【0111】

この結果、電気光学素子EL1の電流駆動用の電流ドライブ回路Pjを、低温ポリシリコンTFTやCGシリコンTFTで構成することを可能としながら各ソース配線Sj間で電流値がばらつくのを防止することができる。

20

【0112】

また、一定期間内に設けられた複数の期間から選択的に組み合わせることにより電流駆動期間の長さを決定して電気光学素子を電流駆動するので、一定期間において、ドライブ回路から伝達される駆動電流値で定められる階調数よりも多階調で表示を行うことができる。

【0113】

まだ、ゲート配線Giは、選択用TFTQ3の導通状態および遮断状態を決める電位を選択用TFTQ3に伝達する。また、制御配線Wiはスイッチ用TFTQ1の導通状態および遮断状態を決める電位をスイッチ用TFTQ1に伝達する。従って、コンデンサC1が電圧条件を保持するまでに、生成された電圧が電圧条件からスイッチ用TFTQ1のスイッチングによって変化してしまうという悪影響を回避し、コンデンサC1が電圧条件を保持した後にスイッチ用TFTQ1を遮断状態とすることを確実に行うことができる。

30

【0114】

また、スイッチ用TFTQ1の状態とは独立に選択用TFTQ3の導通状態と遮断状態とを切り替えることができるので、電気光学素子EL1の電流駆動を行っている最中に選択用TFTQ3を導通状態とし、電流出力用TFTQ4を遮断状態とできるので、電気光学素子EL1の電流駆動期間の長さを制御することができる。

【0115】

また、電流ドライブ回路Pjは、ソース配線Sjとゲート配線Giが交差する領域に、電気光学素子EL1と電流出力用TFTQ4とコンデンサC1とを配置した表示装置の、ソース配線Sjに繋がるドライブ回路であって、電流ドライブ回路Pjを構成する電流源回路Bjが電流設定モードを持ち、前記電流設定モードにおいて電流源回路Bjへ外部から一定電流を与えることで、その電流源回路Bjの出力電流を設定し、その設定された電流値に基づき電流源回路Bjから電流を出力し、上記電流を出力しないときに一定電圧(電位VH)を出力するドライブ回路構成である。

40

【0116】

特に、上記電流設定モードにおいて外部から与えられた電流に従い電流源回路BjのコンデンサC2の電位が設定され、そのコンデンサC2の電位により電流源回路Bjの出力電流値が設定されるドライブ回路構成である。

【0117】

50

上記電流源回路B_jでは、電流設定モードにおいて電流設定用TFTの閾値特性・移動度と電流設定用TFTQ9を流れる電流値によりコンデンサC2の電位が決定される。また、コンデンサC2の電位と電流出力用TFTQ9の閾値特性・移動度により電流出力用TFTの出力電流が決まる。

【0118】

そこで、上記電流設定用TFTQ9と電流出力用TFTとを同一のTFTとするか、特性の近似したTFTとすることで、上記電流出力用TFTQ9の閾値特性・移動度の影響がキャンセルされ、低温ポリシリコンTFTやCGシリコンTFTなどのTFT特性バラツキの多い素子を使っても、均一な電流値を得ることができる。

【0119】

この電流源回路B_jは、上記外部から与えられた電流値に対し1対1対応した出力電流を出力するか、全く電流を出力しないかの2値状態を取る。そこで、上記電流源回路B_jを複数用いて1つの電流ドライブ回路P_jを構成し、それら電流源回路B_jの電流出力用TFTの電流出力の有無を独立に制御すれば、複数レベルの出力電流を得ることができる。また、全く電流を出力しないときには、一定電圧VHを出力するようにする。

【0120】

ソース配線S_jとゲート配線G_iとが交差する領域に配置した、電気光学素子EL1を流れる電流値を、上記電流ドライブ回路P_jを用いて設定することにより、本発明の課題が解決できる。

【0121】

また、電気光学素子EL1を流れる電流がないときには、一定電圧(OFF電圧)をソース配線S_jへ出力し、電気光学素子EL1へ電流が流れない状態を取らせることができる。

【0122】

このようなドライブ回路の電流ドライブ回路P_jを構成する電流源回路B_jは、ゲート端子にコンデンサC2を配置した電流出力用TFTQ9と、コンデンサC2と定電流源Iconとの間を繋ぐスイッチ用TFTQ8と、電流出力用TFTQ9の出力端子と定電流源Iconとの間を繋ぐスイッチ用TFTQ7と、電流出力用TFTQ9の出力端子とソース配線S_jとの間を繋ぐ選択用TFTQ6とから構成することができる。

【0123】

上記回路構成では、電流設定モードにおいて、選択された電流源回路B_jのスイッチ用TFTQ7とQ8とのみをON状態(導通状態)として、その電流源回路B_jの選択用TFTQ6をOFF状態(非導通状態)とし、定電流源Iconから電流出力用TFTQ9とコンデンサC2へ一定電流を流すことができる。

【0124】

この状態でスイッチ用TFTQ8をOFF状態とすることで、コンデンサC2の電位は、電流出力用TFTQ9が定電流源Iconにより設定された電流を流すよう設定される。その後、スイッチ用TFTQ8をOFF状態とし、この電流源回路B_jの電流設定モードを終了し、次の電流源回路B_{j+1}の電流設定モードに入る。

【0125】

上記回路構成により、前記電流出力用TFTQ9の閾値特性や移動度がバラツいていても、定電流源Iconにより定められた電流が、電流源回路B_jより出力されるので好ましい。

【0126】

また、上記電流源回路B_jを複数個組み合わせて上記電流源回路P_jを構成することで、1つの電流源回路P_jより複数の電流レベルを出力できるので好ましい。

【0127】

また、本実施の形態では、上記の通り、電流ドライブ回路P_jの出力電流レベルは複数レベルを取ることが可能であるが、より多くの階調レベルを得る為の駆動方法は、画素A_i_jが画素電流回路Q_i_jと電気光学素子L_i_jとから構成され、その画素電流回路Q_i_j

10

20

30

40

50

が電流設定モードを持ち、この電流設定モードにおいて前記ドライブ回路の電流ドライブ回路P_jから画素電流回路Q_{i,j}へ電流値を与えることで、その画素電流回路Q_{i,j}の電流値を設定し、その画素電流設定動作を1フレーム期間に複数回行うことで、その画素A_{i,j}に対応する前記電気光学素子L_{i,j}の階調表示状態を制御する駆動方法である。

【0128】

上記駆動方法により、1フレーム期間に複数回、上記画素電流回路Q_{i,j}の出力電流値を切り替えることができるので、上記電気光学素子L_{i,j}に対し電流ドライブ回路P_jの出力電流値で定められる階調数より、より多くの階調表示を行わせることができる。

【0129】

また、本実施の形態の表示装置における画素電流回路Q_{i,j}の好ましい第1の構成は、ソース配線S_jとゲート配線G_iとが交差する領域に、電気光学素子E_{L1}と電流出力用TFT_{TQ4}とコンデンサC₁とを配置し、電流出力用TFT_{TQ4}のゲート端子にコンデンサC₁を配置し、電気光学素子E_{L1}と直列に電流出力用TFT_{TQ4}を配置し、電流出力用TFT_{TQ4}の出力電流を、電気光学素子E_{L1}へ導くかソース配線S_jへ導くかを切り替える為のスイッチ用TFT_{TQ1}を配置し、ソース配線S_jの電位を、電流出力用TFT_{TQ4}のゲート端子へ導くか否かを切り替える選択用TFT_{TQ3}を配置した構成である。10

【0130】

上記構成においては、電気光学素子E_{L1}はダイオード型の非対称電流特性を持つことが好ましい。

【0131】

上記画素回路構成では、スイッチ用TFT_{TQ1}をON状態とし、ソース配線S_jへ電気光学素子E_{L1}の閾値電圧以下となる電圧を印加することで、電流出力用TFT_{TQ4}の出力電圧を電気光学素子E_{L1}の閾値電圧以下とし、電気光学素子E_{L1}をOFFF状態とし、電源配線V_{ref}より電流出力用TFT_{TQ4}を通して、ソース配線S_jへ電流を流すことができる。20

【0132】

そのとき、選択用TFT_{TQ3}を導通状態とすることで、電流出力用TFT_{TQ4}のゲート電圧を上記電流値が流れるゲート電圧V_{low}に設定できる。

【0133】

但し、上記電圧V_{low}が電気光学素子E_{L1}の閾値電圧より大きければ、ソース配線S_jから電気光学素子E_{L1}に電流が流れるので、暗輝度が浮いたり、低輝度レベルの階調直線性が狂う等の問題がおこる。しかし、その暗輝度の浮きは差ほど目立たないので表示可能である。30

【0134】

また、本実施の形態の表示装置では、ゲート配線G_iと並行して制御線W_iが配置され、スイッチ用TFT_{TQ1}のゲート端子と、選択用TFT_{TQ3}のゲート端子とのうち、一方が制御線W_iに接続され、他方がゲート配線G_iに接続された構成が好ましい。

【0135】

上記回路構成では、電流出力用TFT_{TQ4}からソース配線S_jへ一定電流が流れている状態で、スイッチ用TFT_{TQ1}がON状態からOFF状態へ切り替わるときに、ソース配線S_jへ供給される電流が変化するので、ソース配線S_jの電位が変化する。また、電流出力用TFT_{TQ4}の出力端子電位も変化する。40

【0136】

そこで、スイッチ用TFT_{TQ1}をON状態とし、電流出力用TFT_{TQ4}の出力電流をソース配線へ導いている間に、選択用TFT_{TQ3}をOFF状態とし、上記電位変動が起こる前にコンデンサC₁の電位を確定させ、その後、スイッチ用TFT_{TQ1}をOFF状態とし、電流出力用TFT_{TQ4}の電流値を安定化させることが好ましい。

【0137】

また、上記回路構成では、選択用TFT_{TQ3}をON状態とすることで、コンデンサC₁の電位をOFF電位として、電流出力用TFT_{TQ4}の出力電流を止めることができる。50

このことにより、各データの表示時間の長さを制御できて好ましい。

[0138]

[実施の形態2]

本発明の他の実施の形態について、図5および図6に基づいて説明すれば以下の通りである。なお、前記実施の形態1で述べた構成要素と同一の機能を有する構成要素については同一の符号を付し、その説明を省略する。

[0139]

上記実施の形態1では、ドライブ回路を構成する電流ドライブ回路P_jから2値電流値を出力する場合の例を示したが、本実施の形態では電流ドライブ回路P_jから多値電流を出力する場合の例を示す。

10

[0140]

図5に示すのが、本実施の形態の表示装置における電流ドライブ回路P_jの構成の応用例である。

[0141]

図5では、1つのソース配線S_jに対するドライブ回路を構成する電流ドライブ回路P_jが、3つの電流源回路B_j1～B_j3から構成されている。各々の電流源回路B_jは、外部定電流源I_{con}により設定された電流値を出力するか否かの2つの出力状態を持つ。電流源回路B_j1～B_j3のそれぞれは、実施の形態1で述べた電流源回路B_j（図1）と同一構成である。

20

[0142]

この電流源回路B_j1～B_j3の電流設定動作は、実施の形態1の電流ドライブ回路P_jの電流設定動作と同様である。

[0143]

即ち、最初に電流源回路B_j1からソース配線S_jへ電流が流れないよう、制御線D_j1をロー状態として、電流出力用TFTQ9（兼電流設定用TFT）とソース配線S_jとを繋ぐn型TFTQ6をOFF状態とする。

30

[0144]

そして、定電流源I_{con}からこの電流源回路B_j1に対応する電流設定用TFTQ9（兼電流出力用TFT）のみに電流が流れるよう、この電流源回路B_j1に対応する制御配線L_j1, R_j1のみをハイ状態とし、他の電流ドライブ回路P_k（j≠k）に対応する電流源回路B_k及び、この電流ドライブ回路P_jの他の電流源回路B_j2～B_j3に対応する制御配線L_j1, R_j1をロー状態とする。

[0145]

このとき、電流源回路B_j1の電流設定用TFTQ9（兼電流出力用TFT）のソース端子と定電流源I_{con}とを結ぶn型TFTQ7がON状態となり、コンデンサC2と定電流源I_{con}とを結ぶn型TFTQ8もON状態となり、電流設定用TFTQ9（兼電流出力用TFT）へ定電流源I_{con}から定電流が流れ、その電流値によりコンデンサC2の電圧が設定される。

30

[0146]

その後、制御配線R_j1をロー状態とすることでn型TFTQ8を非導通状態として、コンデンサC2の電圧を保持し、制御配線L_j1をロー状態とすることで電流源回路B_j1の電流設定を終了し、次の電流源回路B_j2の電流設定を行う。その結果、制御配線D_j1がハイ状態となったとき、電流出力用TFTQ9（兼電流設定用TFT）の引き込み電流は、その電流出力用TFTQ9の特性バラツキに依らず、定電流源I_{con}により設定された電流値が流れよう設定される。

40

[0147]

なお、電流源回路B_j2と電流源回路B_j3との電流設定動作も上記電流源回路B_j1と同様なので、ここではその説明は省略する。

[0148]

この結果、電流ドライブ回路P_jのデータ信号D_j1～D_j3を（ロー、ロー、ロー）に

50

設定すれば、ソース配線 S_j が OFF 電位 V_H と導通し、電流ドライブ回路 P_j よりソース配線 S_j へ OFF 電位 V_H が output される。データ信号 D_j 1～D_j 3 を (ハイ、ロー、ロー) に設定すれば、電流源回路 B_j 1 のみがソース配線 S_j と導通するので、ソース配線 S_j より電流ドライブ回路 P_j へ設定された電流 I_a が引き込まれる。データ信号 D_j 1～D_j 3 を (ハイ、ハイ、ロー) に設定すれば、電流源回路 B_j 1 と B_j 2 とがソース配線 S_j と導通するので、ソース配線 S_j より電流ドライブ回路 P_j へ設定された電流 I_a の 2 倍が引き込まれる。データ信号 D_j 1～D_j 3 を (ハイ、ハイ、ハイ) に設定すれば、電流源回路 B_j 1～B_j 3 がソース配線 S_j と導通するので、ソース配線 S_j より電流ドライブ回路 P_j へ設定された電流 I_a の 3 倍が引き込まれる。

【0149】

このようにして、本実施の形態のドライブ回路構成を用いて多値電流出力が実現できる。10

【0150】

次に、図 6 に本実施の形態の表示装置におけるドライブ回路構成を用いて多値電流を出力する別の例を示す。

【0151】

図 6 のドライブ回路構成では、各電流ドライブ回路 P_j を複数の電流源回路 B_j x (x = 1, 2, ...) によって構成し、各電流源回路 B_j x に異なる電流値を設定する。

【0152】

その異なる電流値を与える為に、電流配線 I_c 1, I_c 2 へ異なる電流値を設定する。電流配線 I_c 1 の電流値は定電流源 I_{c o n} の定電流から電流源回路 P_B 1 が生成し、電流配線 I_c 2 の電流値は定電流源 I_{c o n} の定電流から電流源回路 P_B 2・P_B 3 が生成する。20

【0153】

電流源回路 P_B 1 は p 型 TFT Q₁₇・Q₁₉、n 型 TFT Q₁₈・Q₂₀、およびコンデンサ C₃ を備えている。電流源回路 P_B 2・P_B 3 も同一構成である。電流源回路 P_B 1～P_B 3 の出力電流設定動作は上記図 5 の電流源回路 B_j 1～B_j 3 の電流設定動作と同様である。

【0154】

即ち、最初の電流源回路 P_B 1 の電流設定動作において、電流源回路 P_B 1 から電流配線 I_c 1 へ電流が流れないよう、制御線 P_L 1 をハイ状態として、電流出力用 TFT Q₁₇ (兼電流設定用 TFT) と電流配線 I_c 1 とを繋ぐ p 型 TFT Q₁₉ を OFF 状態とする。このとき、電流源回路 P_B 1 と定電流源 I_{c o n} とを繋ぐ n 型 TFT Q₂₀ が ON 状態となるので、更に、電流出力用 TFT Q₁₇ のゲート端子とドレイン端子との間に配置した n 型 TFT Q₁₈ を ON 状態 (制御配線 P_R 1 がハイ状態) として、電源 V_H より電流出力用 TFT Q₁₇ を通して定電流源 I_{c o n} へ電流が流れる状態を作る。30

【0155】

このとき、電源 V_H より電流設定用 TFT Q₁₇ (兼電流出力用 TFT) を通して定電流源 I_{c o n} へ一定電流が流れるよう、電流設定用 TFT Q₁₇ のゲート端子電圧が設定される。この設定された電流設定用 TFT Q₁₇ のゲート電圧を、n 型 TFT Q₁₈ を OFF 状態 (制御配線 P_R 1 がロー状態) とすることで、コンデンサ C₃ に保持させる。その後、制御配線 P_L 1 をロー状態とすることで n 型 TFT Q₂₀ を OFF 状態とし、p 型 TFT Q₁₉ を ON 状態とする。40

【0156】

その結果、電流配線 I_c 1 に流れる電流は、定電流源 I_{c o n} により設定された電流値となる。そして、次の電流源回路 P_B 2 の電流設定を行う。

【0157】

この電流源回路 P_B 2 の電流設定動作および次の電流源回路 P_B 3 の動作は上記電流源回路 P_B 1 の電流設定動作と同様なので、ここではその説明は省略する。このとき、電流配線 I_c 1 には電流源回路 P_B 1 が繋がっているだけであるが、電流配線 I_c 2 には電流源回路 P_B 2・P_B 3 が繋がっている。従って、電流配線 I_c 2 を流れる電流値 I_b は電流50

配線 I_c1 を流れる電流値 I_a の 2 倍に設定される。

【0158】

この電流配線 I_c1・I_c2 の電流値を使って、各電流ドライブ回路 P_j を構成する電流源回路 B_j1・B_j2 の電流設定動作が行われる。

【0159】

なお、この電流設定動作を各電流源 B_j1 や B_j2 の各自に着目して見れば、その動作は実施の形態 1 の電流ドライブ回路 P_j の電流設定動作と同様である。

【0160】

即ち、各電流ドライブ回路 P_j の電流設定動作は、最初に電流ドライブ回路 P_j からソース配線 S_j へ電流が流れないよう、制御線 D_j1～D_j2 を総てロー状態とし、この電流ドライブ回路 P_j を構成する電流源回路 B_j1・B_j2 の電流設定用 TFTQ9 (兼電流出力用 TFT) とソース配線 S_j を繋ぐ n 型 TFTQ6 を OFF 状態とする。そして、電流配線 I_c1, I_c2 からこの電流源回路 B_j1 に対応する電流設定用 TFTQ9 (兼電流出力用 TFT) のみに電流が流れるよう、この電流源回路 B_j1・B_j2 に対応する共通制御線 L_j と R_j とをハイ状態として、他の電流源回路 B_k1～B_k2 (k ≠ j) に対応する共通制御線 L_k と R_k とをロー状態とする。
10

【0161】

このとき、電流源回路 B_j1・B_j2 の電流設定用 TFTQ9 (兼電流出力用 TFT) のソース端子と電流配線 I_c1, I_c2 とを結ぶ n 型 TFTQ7 が ON 状態となり、各コンデンサ C と電流配線 I_c1, I_c2 とを結ぶ n 型 TFTQ8 も ON 状態となり、各電流設定用 TFTQ9 (兼電流出力用 TFT) へ電流配線 I_c1, I_c2 から設定電流が流れ、その電流値により各コンデンサ C 2 の電位が設定される。その後、制御配線 R_j をロー状態とすることで n 型 TFTQ8 を非導通状態として、コンデンサ C 2 を用いて、設定された電流設定用 TFTQ9 のゲート端子電位を保持する。また、制御配線 L_j をロー状態とすることで電流ドライブ回路 P_j の電流設定を終了し、次の電流ドライブ回路 P_{j+1} の電流設定動作に移る。
20

【0162】

その結果、電流源回路 B_j1・B_j2 の各電流設定用 TFTQ9 (兼電流出力用 TFT) の引き込み電流は、その TFT 特性バラツキに依らず、その電流配線 I_c1, I_c2 により設定された電流値が流れるよう設定される。なおこのとき、電流配線 I_c2 の電流値は電流配線 I_c1 の電流値の 2 倍に設定されているので、電流源回路 B_j2 の電流値は電流源回路 B_j1 の電流値の 2 倍に設定される。
30

【0163】

そこで図 6 で、データ信号 D_j0～D_j2 を (ロー、ロー、ロー) に設定すると、ソース配線 S_j が OFF 電位 V_H と導通するので、電流ドライブ回路 P_j よりソース配線 S_j へ OFF 電位 V_H が出力される。データ信号 D_j0～D_j2 を (ハイ、ハイ、ロー) に設定すると、電流源回路 B_j1 のみソース配線 S_j と導通するので、ソース配線 S_j より電流ドライブ回路 P_j へ設定された電流 I_a が引き込まれる。データ信号 D_j0～D_j2 を (ハイ、ロー、ハイ) に設定すると、電流源回路 B_j2 がソース配線 S_j と導通するので、ソース配線 S_j より電流ドライブ回路 P_j へ設定された電流 2 × I_a が引き込まれる。データ信号 D_j0～D_j2 を (ハイ、ハイ、ハイ) に設定すると、電流源回路 B_j1 と B_j2 がソース配線 S_j と導通するので、ソース配線 S_j より電流ドライブ回路 P_j へ設定された電流 3 × I_a が引き込まれる。
40

【0164】

このようにして、本実施の形態のドライブ回路構成を用いて多値電流出力が実現できる。

【0165】

このように本実施の形態のドライブ回路構成を用いて多階調表示を行わせることが可能であるが、図 5 の電流ドライブ回路構成で 256 階調表示を行わせるには、1 つの電流ドライブ回路 P_j が 255 個の電流源回路 B_j1～B_j255 を必要とする。しかし、それだけの数の電流源回路を各ソース配線 S_j 每に設けると、必要なソースドライバサイズ (50

幅) が大きくなりすぎて好ましくない。

【0166】

一方、図6の電流ドライブ回路構成では、1つの電流ドライブ回路Pjが8個の電流源回路Bj1～Bj8から構成されれば256階調表示可能である。しかし、これら8個の電流源回路Bj1～Bj8から供給される電流値には128倍の開きがあるので、各電流源回路Bj1～Bj8の電流出力用TFTQ9を同一サイズとするのは難しい。

【0167】

そこで、各電流源回路Bj1～Bj8の電流出力用TFTQ9のゲート幅を必要な電流量に比例させて大きくしていくことが考えられるが、この場合、必要なソースドライバサイズ(幅) が大きくなるので好ましくない。
10

【0168】

[実施の形態3]

本発明のさらに他の実施の形態について、図7および図8に基づいて説明すれば以下の通りである。なお、前記実施の形態1および2で述べた構成要素と同一の機能を有する構成要素については同一の符号を付し、その説明を省略する。

【0169】

本実施の形態では、上記課題を解決するために、上記多階調表示用の電流ドライブ回路構成と共に用いられる時間分割階調表示方法の説明をする。

【0170】

図5や図6の電流ドライブ回路Pjでは、出力できる電流値が4値(0FF電位、Ia、
2×Ia、3×Ia)なので、図7に示すように時間幅比1:4:16の3フィールドを用いた時分割階調と組み合わせれば、64階調表示が可能である。
20

【0171】

図7は横軸が時間であり、縦軸が画素Ai jである。図7では説明を簡単にするためにゲート配線が8本の表示装置の例を示している。縦軸に示すA1 j～A8 jはそのゲート配線G1～G8に対応する画素であり、斜め線(1)～(3)で示したタイミングで各ゲート配線Giが選択され画素Ai jのデータが設定される。

【0172】

この画素Ai jにデータを設定するときの動作は図2や図4のタイミングチャートで示したものと同様なので、ここではその詳細な説明は省略する。
30

【0173】

上記ゲート配線Giの選択タイミングで電流ドライブ回路Pjより画素Ai jの電流駆動用TFTの電流値が設定される。この動作は、1走査時間tfでゲート配線G1～G8に対応する画素A1 j～A8 jのデータ書き換えが終了する。

【0174】

図7では、1つのゲート配線Giの選択期間から選択期間までの間、画素Ai jにこの走査時間tfで設定された値が表示され続けるので、時分割比1:4:16の表示を行おうとすると、1フレーム期間は $(1+4+16) \times tf = 21 \times tf$ と長くなる。また、この1フレーム期間のうち、実際に走査に使われている時間は $3 \times tf$ で済むので、1フレーム期間中にしめる走査時間の割合が小さい。
40

【0175】

そこで、図1に示す画素回路Ai jのように、電流出力用TFTQ4のゲート端子に接続されたコンデンサC1と電流出力用TFTQ4の出力端子との間に選択用TFTQ3を配置し、その選択用TFTQ3をスイッチ用TFTQ1とは独立にON状態とすれば、電流出力用TFTQ4のゲート電位が電流出力用TFTQ4の出力電位と等しくなり、電流出力用TFTQ4の出力電流をほぼ0とすることができます。

【0176】

この電流出力用TFTQ4の出力電流を0とする動作(消光動作)のタイミングを、図8で斜め破線(4)で示す。このように制御することで、図8にそのタイミングを示すように、走査時間tgに対する1フレーム期間の比率を $6 \times tg$ と短くできる。なお、この1
50

フレーム期間のうち、実際に走査に使われている時間は $3 \times t_g$ と変化しない。

【0177】

このように、制御線 W_i をゲート配線 G_i とは独立に走査することで、1フレーム期間を短くする効果ができるので好ましい。

【0178】

【実施の形態4】

本発明のさらに他の実施の形態について、図9ないし図16に基づいて説明すれば以下の通りである。なお、前記実施の形態1ないし3で述べた構成要素と同一の機能を有する構成要素については同一の符号を付し、その説明を省略する。

【0179】

実施の形態3において、図1の画素回路構成では、上記消光動作において電流出力用 TFT Q4 の出力電流を完全に0にすることはできない。これは、選択用 TFT Q3 がONの状態で、電流出力用 TFT Q4 のゲート電圧は、電気光学素子 EL1 へ若干の電流が流れ 10 状態で安定するからである。

【0180】

そこで、上記時分割階調表示に適した第1の画素回路の別の構成を示す。

【0181】

図9に示すのがその画素回路構成 A_{ij} であり、電流出力用 TFT (第1のアクティブ素子) Q4 のゲート端子とソース配線 (第1の配線) S_j との間に選択用 TFT (第2のアクティブ素子) Q10 が配置され、その選択用 TFT Q10 のゲート端子はゲート配線 (第2の配線) G_i に接続されている。すなわち、選択用 TFT Q10 は、ソース配線 S_j とコンデンサ (第1のコンデンサ) C1との間に配置されている。電流出力用 TFT Q4 と電気光学素子 EL1 とは電源配線 Vref と対向電極 Vcomとの間に直列に配置され、電流出力用 TFT Q4 のゲート端子にはコンデンサ C1 が配置されている。また、その電流出力用 TFT Q4 と電気光学素子 EL1 との接続点、すなわち電流出力用 TFT Q4 の電流出力端子と、ソース配線 S_j との間にはスイッチ用 TFT Q1 (第1のスイッチング素子) が配置され、これらスイッチ用 TFT Q1 のゲート端子は制御配線 (第4の配線 : 第1のスイッチング素子用) W_i に接続されている。

【0182】

この画素回路 A_{ij} の電流設定動作及び消去動作を図10に示す。なお、この電流ドライ 30 ブ回路 P_j は図6の回路構成を想定している。

【0183】

まず、各選択期間の最初に図6のデータ信号 $D_{j0} \sim D_{j2}$ を (ロー、ロー、ロー) として、ソース配線 S_j の電位を OFF 電位 V_H に設定する。次にデータ信号 $D_{j0} \sim D_{j2}$ を画素 A_{ij} の表示状態に合わせて (ロー、ロー、ロー) ~ (ハイ、ハイ、ハイ) の値とし、ソース配線 S_j の電流値を、画素 A_{ij} の電流出力用 TFT Q4 へ設定したい電流値に設定する。そして、制御配線 W_i をハイ状態とし、各画素 A_{ij} の電流出力用 TFT Q4 からソース配線 S_j へ電流が流れるよう設定する。また、ゲート配線 G_i をハイ状態とし、選択用 TFT Q10 を導通状態とし、電流出力用 TFT Q4 のゲート端子をソース配線 S_j と導通させる。

【0184】

この状態で、電流出力用 TFT Q4 のゲート端子電位は、ソース配線 S_j に電流ドライブ回路 P_j で設定された電流が流れるよう設定される。このソース配線 S_j 電位が電流出力用 TFT Q4 のゲート端子に繋がるコンデンサ C1 に保持されるよう、ゲート配線 G_i をロー状態とし、電流出力用 TFT Q4 のゲート端子をソース配線 S_j を非導通状態とする。

【0185】

その後、制御配線 W_i をロー状態とし、この設定された電流値が電流出力用 TFT Q4 から電気光学素子へ流れるようにする。

【0186】

のことにより、上記スイッチング用 TFTQ1が導通状態から非導通状態になるときに生じるソース配線Sjの電位乱れの影響を受けることなく、電流出力用 TFTQ4に所定電流を流した状態のソース配線Sj電位をコンデンサC1に保持することができる。

【0187】

この動作で、各画素Ai jの電気光学素子の電流値は4状態を取るが、図8に示すタイミングチャートと同様、最初の走査期間t fでは、この電流設定動作に引き続き、電流停止（消光動作）を行う。これは、図10に示すゲート配線Giのみがハイ状態となっているタイミングであり、上記電流設定動作でゲート配線Giがハイ状態となってから、1単位時間を置いて、各選択期間の最初のデータ信号Dj 0～Dj 2が（ロー、ロー、ロー）の期間に、ゲート配線Giを再度ハイ状態とする。
10

【0188】

のことにより、電流出力用 TFTQ4のゲート電位がVH（電流出力用 TFTQ4の電流値が充分小さいと見なせる電位）になるので、図8の斜め破線（4）で示す、消去動作が実現できる。のことにより、走査期間tgに対して、1フレーム期間は $6 \times tg$ と短くなる。また、この1フレーム期間のうち、実際に走査に使われている時間は $3 \times tg$ と変化しない。

【0189】

このように、本実施の形態で用いられる画素回路構成Ai jは1フレーム期間を短くする効果を持つので好ましい。

【0190】

特に、電流出力用 TFTQ4のゲート電圧をソース配線Sjから設定できるので、その電流出力用 TFTQ4の電流値を充分小さくできて好ましい。

【0191】

また、図9の画素回路構成では、電流出力用 TFTQ4のゲート端子電位をソース配線Sjに電流ドライブ回路Pjで設定された電流が流れよう設定した後、ソース配線Sjと電流ドライブ回路Pjの間を非導通状態（図6のデータ信号Dj 0～Dj 2が（ハイ、ロー、ロー）の状態）とし、スイッチ用 TFTQ1を遮断状態とし、その後このまま選択用 TFT（第2のアクティブ素子）Q1 0を遮断状態とすれば、第1のアクティブ素子に上記電流ドライブ回路Pjにより設定した電流が流れる。
20

【0192】

また、選択用 TFT（第2のアクティブ素子）Q1 0を遮断状態とする前に、ソース配線SjをOFF電位状態（図6のデータ信号Dj 0～Dj 2が（ロー、ロー、ロー）の状態）とすれば、第1のアクティブ素子を遮断状態とする電位をコンデンサC1に溜められ、その後第2のアクティブ素子を遮断状態とすることで、第1のアクティブ素子を遮断状態のまままとできる。

【0193】

この場合、電気光学素子へ電流を流すことなく第1のアクティブ素子を遮断状態とすることができる。

【0194】

図1や図9の画素回路構成では、電流出力用 TFTQ4のゲート電圧を変化させて、電流停止動作（消光動作）を行っている。そのため、消光動作は次の走査の直前に行われる。
40

【0195】

そこで、次の走査の直前に消光動作を行った場合と、現在の走査の直後に消光動作を行った場合の比較を、動画偽輪郭の発生状況から調べてみる。

【0196】

図8のタイミングで時間分割階調表示を行ったときの動画偽輪郭の発生状況が図11である。図11では、3階調目を背景に4階調目の物体が動作した場合の動画偽輪郭を示すが、その物体を追うように視線が（a）～（f）のように動くので、視線の移動と時間分割表示タイミングにより、矢印（b）～（c）のエリアのように（発光期間3と4が被り）7階調目近くの表示になるエリアと、矢印（d）～（e）のエリアのように（発光期間3
50

と4の間を抜けて) 0階調目近くの表示なるエリアが発生する。

【0197】

一方、現在の走査の直後に消光動作を行った場合の例を図12に示す。ここで、現在の走査の直後に消光動作を行うとは、図12で第1フィールドの発光期間 t_1 が時間 $0 \sim t_g$ の走査期間の最後の期間に設定されていることを指す。

【0198】

このように時間分割比が $1 : 4 : 16$ と低い方から並んでいる場合、図12と図11とを比較すると判るように、第1フィールドの表示期間を、第1フィールドの走査開始直後に設定するより、第2フィールドの走査開始直前に設定した方が、動画偽輪郭が見える矢印 (b) ~ (c) のエリアの幅と矢印 (d) ~ (e) のエリアの幅が狭くなり好ましい。
10

【0199】

また逆に、時間分割比が $16 : 4 : 1$ と高い方から並んでいる場合は、図11のように、最少フィールドの表示期間を、そのフィールドの走査開始直後に設定することが好ましい。

【0200】

また、ドライブ回路構成や画素回路構成、その好ましい駆動方法などの情報をTFTパネル内に、TFTプロセスを用いて書き込んでおくと良い。そして、ICで作られたコントロール回路側でこの情報を読み込み、最適な駆動方法や駆動タイミングを選んで出力することが好ましい。

【0201】

図12のように現在の走査の直後に消光動作を行う為の画素回路構成として、図13に示すような画素回路構成がある。図13では、電流出力用TFT (第1のアクティブ素子) Q4と電気光学素子EL1との間にスイッチ用TFT (第2のスイッチング素子) Q2のゲート端子配線 (第4の配線: 第2のスイッチング素子用) Eiを配置し、スイッチ用TFT Q1のゲート端子配線 (第2の配線) Giとは独立に制御可能とした点が、図1の画素回路構成とは異なる。この場合、制御線Wiは第1のスイッチング素子用の第4の配線であり、ゲート端子配線Eiとは独立している。
20

【0202】

その結果、第1フィールドの走査開始直後から第2フィールドの走査開始直前迄の間、スイッチ用TFT Q2をOFF状態として表示をさせない状態が作れる。そして、第2フィールドの走査開始直前から、スイッチ用TFT Q2をON状態とすることで、設定された電流値で表示を行うことができるので好ましい。
30

【0203】

また、電流出力用TFT Q4と電気光学素子EL1との間にスイッチ用TFT Q2を配置することで、電気光学素子EL1がダイオード特性を持たなくても、電流出力用TFT Q4の出力をソース配線 (第1の配線) Sjへ導けるので好ましい。

【0204】

スイッチ用TFT Q2は、電流出力用TFT Q4から電気光学素子EL1へ駆動電流が流れる経路の導通および遮断を行うので、電気光学素子EL1が閾値電圧を有するダイオード型の素子でなくとも容易に電流駆動を行うことができる。
40

【0205】

また、同様に図14の画素回路構成でも良い。

【0206】

図14は図9の画素回路構成の電流出力用TFT Q4と電気光学素子EL1との間にスイッチ用TFT (第2のスイッチング素子) Q2のゲート端子配線 (第4の配線: 第2のスイッチング素子用) Eiを配置し、スイッチ用TFT Q2のゲート端子配線Eiをスイッチ用TFT Q1のゲート端子配線 (第4の配線: 第1のスイッチング素子用) Wiとは独立に制御可能とした構成である。

【0207】

図13や図14のように、電流出力用TFT Q4のゲート端子電位と電気光学素子EL1
50

を流れる電流のON/OFF状態とを独立に制御できるメリットは、電流出力用TFTQ4ゲート電位を保持したまま電気光学素子EL1を消光できる点である。このメリットは、特に電流ドライブ回路Pjが2値出力の場合に明確になる。

【0208】

図15に示すのは、そのことを明確にする為の画素回路構成である。

【0209】

図15は図14の画素回路構成のスイッチ用TFTQ2と電気光学素子EL1との間に、スイッチ用TFTQ12と、そのゲート端子に繋がるゲート用TFTQ13とコンデンサC4とを配置した例である。このゲート用TFTQ13はスイッチ用TFTQ12のゲート端子とソース配線Sjとの間に配置され、そのゲート端子には制御線Fiが接続されている。¹⁰

【0210】

そこで、図16の(1)に示すように、最初に電流駆動回路の電流出力用TFTQ4の出力電流を設定し(図16(1)の斜め線のタイミング。この場合、電流出力用TFTQ4の出力電流がON状態となるよう設定する)、その後コンデンサC4の電圧を設定すれば(図16の(2), (4), (5)のタイミング)、1フレーム期間に1回程度電流値設定動作を行うことで、2値電流出力(ON状態とOFF状態)を得ることができる。

【0211】

なお、図16の(1)の斜め線のタイミングは直前の第3フレームの表示期間f3と被る。この電流設定動作で表示が若干乱れるが、第3フレームの表示期間f3は充分長いので²⁰、その影響は少ない。

【0212】

このような構成は特に、コンデンサC4の代わりにスタティックメモリ(インバータ2個から構成されている)を配置する場合有効である。

【0213】

即ち、スタティックメモリを画素に配置して表示を行う場合、その出力は電圧値なので、周囲温度や電気光学素子の特性バラツキにより、電気光学素子を流れる電流値が変化してしまう問題が残る。しかし、そのスタティックメモリで表示を行うときも、電流ドライブ回路Pjにより画素の電流出力用TFTQ4の出力電流を1フレーム期間に1回程度、ON状態に設定してやれば、上記問題は起こらないで好ましい。³⁰

【0214】

本実施の形態では、電流出力用TFTQ4と電気光学素子EL1との間にスイッチ用TFTQ2を設けているので、電気光学素子EL1がダイオード型の非対称電流特性を持っていなくても、表示可能である。

【0215】

この場合、電源配線Vrefより電流出力用TFTQ4を通して、ソース配線Sjへ電流を流すとき、スイッチ用TFTQ1をON状態とし、スイッチ用TFTQ2をOFF状態とする。また、電源配線Vrefより電流出力用TFTQ4を通して、電気光学素子EL1へ電流を流すとき、スイッチ用TFTQ1をOFF状態とし、スイッチ用TFTQ2をON状態とする。⁴⁰

【0216】

また、上記回路構成では、スイッチ用TFTQ1とQ2とが共にOFF状態となるよう独立に制御できる構成がより好ましい。

【0217】

このことにより、スイッチ用TFTQ1がOFF状態の時でも、スイッチ用TFTQ2をOFF状態とことができ、電流出力用TFTQ4から電気光学素子EL1へ流れる電流を止めて、各データの表示時間の長さを制御できるので好ましい。

【0218】

【実施の形態5】

本発明のさらに他の実施の形態について、図17ないし図19、および、図27ないし図⁵⁰

3.2に基づいて説明すれば以下の通りである。なお、前記実施の形態1ないし4で述べた構成要素と同一の機能を有する構成要素については同一の符号を付し、その説明を省略する。

【0219】

本実施の形態では第2の画素回路構成の例を示す。図17に示すのがその画素回路構成A_{i j}であり、ソース配線（第1の配線）S_jに並行してデータ配線（第3の配線）T_jが配置されている。そのデータ配線T_jと電流出力用TFTQ4（第1のアクティブ素子）のゲート端子との間に選択用TFT（第2のアクティブ素子）Q14が配置され、その選択用TFTQ14のゲート端子はゲート配線（第2の配線）G_iに接続されている。すなわち、選択用TFTQ14は、データ配線T_jとコンデンサ（第1のコンデンサ）C1との間に配置されている。また、電流出力用TFTQ4の電流出力端子とソース配線S_jとの間にはスイッチ用TFTQ1（第1のスイッチング素子）が配置され、そのスイッチ用TFTQ1のゲート端子はゲート配線G_iに接続されている。
10

【0220】

この画素回路構成A_{i j}の電流設定動作は図18のタイミングチャートに示すとおりである。

【0221】

即ち、選択期間の最初に電流ドライブ回路P_jの制御配線D_jをロー状態として、制御配線H_jをロー状態として、データ配線T_jをソース配線S_jと切り離し、データ配線T_jをOFF電位配線V_Hと導通させる。このとき、ソース配線S_jは電流ドライブ回路P_jの電流出力用TFTQ9と導通状態となるので、ソース配線S_jより電荷が排除され低電圧状態V_{low}となる。次に、ゲート配線G_iをハイ状態（選択状態）として、制御配線D_j及び制御配線H_jの状態を共にハイ状態にするか、ロー状態とするかを設定する。
20

【0222】

このとき、制御配線D_j及び制御配線H_jを共にロー状態とすれば、データ配線T_jの電位はOFF電位V_Hとなる。また、このOFF電位V_Hが画素回路A_{i j}の電流出力用TFTQ4のゲート電極に印加されるので、電流出力用TFTQ4は非導通状態となる。また、スイッチ用TFTQ1が導通状態となるので、ソース配線S_jと電流出力用TFTQ4の出力端子との間は導通状態となるが、電流出力用TFTQ4は非導通状態なので、ソース配線S_jの電位は電圧V_{low}のままである。
30

【0223】

このとき、電流出力用TFTQ4の出力端子に繋がる電気光学素子の印加電圧-電流特性がダイオード型特性を有していれば、電気光学素子に電流が流れない状態を作れる。即ち、図17の回路構成であれば、電流出力用TFTQ4の出力端子に接続された電気光学素子EL1の陽極に電圧V_{low}が印加される。このとき、ソース配線S_jを対向電極電圧V_{com}程度の電圧になるよう設定することで、電気光学素子EL1に電流が流れない状態を作れる。

【0224】

図17の画素回路構成A_{i j}で、電流出力用TFTQ4のゲート端子にOFF電位が印加されれば、ソース配線S_jの電位はGND電位程度に設定される。
40

【0225】

この後、ゲート配線G_iを非選択状態とし、選択用TFTQ14とスイッチ用TFTQ1とを非導通状態とすれば、この電気光学素子EL1に電流が流れない状況が保持される。

【0226】

また、制御配線D_j及び制御配線H_jを共にハイ状態とすれば、データ配線T_jはソース配線S_jと導通し等しい電位となる。このとき、データ配線T_jの電位は電位V_Hからソース配線S_jの電位V_{low}に向け変化し、電流出力用TFTQ4は導通状態となる。

【0227】

また、スイッチ用TFTQ1が導通状態となるので、電流出力用TFTQ4からソース配線S_j等を経由して電流ドライブ回路P_jへ電流が流れる。この電流値が電流ドライブ回
50

路 P_j で設定された電流値となるよう、電流出力用TFTQ4のゲート電位が変化し、データ配線 T_j とソース配線 S_j とは安定する。

【0228】

このときのソース配線 S_j の電位も、電気光学素子EL1に電流が流れない状態となる。

【0229】

即ち、図17の回路構成であれば、電流出力用TFTQ4が導通状態になるために、電流出力用TFTQ4のゲート電位は電源電位 V_{ref} より2~3V以上ドロップする。一方、電気光学素子がダイオード型特性を有していれば、陽極電圧が2~3V低下しただけで、電気光学素子に電流が殆ど流れない状態となる。

【0230】

その後、この電流出力用TFTQ4のゲート端子電位が保持されるよう、データ配線 T_j の電位を電流ドライブ回路 P_j 及びソース配線 S_j から切り離し、ゲート配線 G_i の電位を非選択状態とする。

【0231】

このように図17の画素回路構成 A_{ij} では、選択用TFTQ14とスイッチ用TFTQ1のゲート端子とが共にゲート配線 G_i に接続されていても、選択用TFTQ14が接続するデータ配線 T_j と、スイッチ用TFTQ1が接続するソース配線 S_j とを分離することで、スイッチ用TFTQ1がON状態からOFF状態となるときの電位の乱れが、電流出力用TFTQ4のゲート端子電位に影響を与えないよう処理でき好ましい。

【0232】

また、図17の電流ドライブ回路 P_j の電流出力用TFTQ9は常にソース配線 S_j と繋がっているが、図1と同様、電流ドライブ回路 P_j の電流設定時だけ電流出力用TFTQ9とソース配線 S_j との間が非導通状態となるよう、選択用TFTQ6を配置しても良い。

【0233】

このように、本実施の形態では、データ配線 T_j は、電流出力用TFTQ4による電圧条件の生成に必要な電位を、スイッチ用TFTQ1を介さずに、導通状態にある選択用TFTQ14を介して電流出力用TFTQ4に伝達するように設けられている。また、スイッチ用TFTQ1は、導通状態となることによって、ソース配線 S_j を電流出力用TFTQ4の電流出力端子に、従って電気光学素子EL1の駆動電流の流入側端子(陽極)に接続する。

【0234】

従って、電気光学素子EL1が閾値電圧を有するダイオード型の電気光学素子であってこれを暗輝度状態にしたいとき、データ配線 T_j から選択用TFTQ14を介して電流出力用TFTQ4にこのTFTが遮断状態となるような電位を伝達し、ソース配線 S_j からスイッチ用TFTQ1を介して電気光学素子EL1の駆動電流流入側端子(陽極)に、電気光学素子EL1に印加される電圧が閾値電圧以下となるような電位を伝達することにより、電気光学素子EL1を完全に暗状態とすることができます。

【0235】

図17の構成によれば、ソース配線 S_j とデータ配線 T_j とを繋ぎ、スイッチ用TFTQ1と選択用TFTQ14とを導通状態とし、電流出力用TFTQ4からスイッチ用TFTQ1を通じてソース配線 S_j へ所定電流を流すことでコンデンサC1へ保持する電位を生成できる。

【0236】

また、ソース配線 S_j とデータ配線 T_j とを分離し、スイッチ用TFTQ1と選択用TFTQ14とを導通状態とし、データ配線 T_j に所定の電位を印加することで電流出力用TFTQ4を非導通状態とできる。この結果、電流出力用TFTQ4の非導通状態での電流値を充分小さくできるので好ましい。

【0237】

また、電気光学素子がダイオード型ではない場合、図19の画素回路構成のように、図1

10

20

30

40

50

7の画素回路構成における電流出力用TFTQ4と電気光学素子EL1との間にスイッチ用TFTQ2(第2のスイッチング素子)を配置すれば良い。この構成によれば、電気光学素子EL1の特性によらず、電流出力用TFTQ4の出力電流をソース配線Sjへ導けるので、ソース配線Sjとデータ配線Tjとの間を導通状態としたとき、電流出力用TFTQ4が所望の電流を流すよう、その電流制御端子電位を設定できる。その結果、電流出力用TFTQ4の出力電流のバラツキを抑えられて好ましい。

【0238】

なお、このスイッチ用TFTQ2のゲート端子は、図19のように他の配線(第4の配線:第2のスイッチング素子用)Eiへ繋いでも良い。また、図27に示すように、図17の画素回路構成において電流出力用TFTQ4と電気光学素子EL1との間にスイッチ用TFTQ2(第2のスイッチング素子)を配置し、スイッチ用TFTQ2のゲート端子をゲート配線Giに接続しても良い。また、図27のように電源配線Vrefをゲート配線Giと並行に配置しても良い。また、図28のように、図19の画素回路構成において他の配線Eiを制御線(第4の配線:第1のスイッチング素子用兼第2のスイッチング素子用)Wiとし、選択用TFTQ14のゲート端子をゲート配線Giに接続し、スイッチ用TFTQ1およびスイッチ用TFTQ2のゲート端子を制御線Wiと接続しても良い。10

【0239】

図19ではこのスイッチ用TFTQ2のゲート端子をゲート配線Giとは異なる配線Eiに接続することで、図12に示したような消光動作を行う動作が可能としており、好ましい。20

【0240】

また、図28のようにスイッチ用TFTQ1と選択用TFTQ14との導通状態を制御する配線を異ならせることにより、選択用TFTQ14とスイッチ用TFTQ1とを独立に制御できるので、選択用TFTQ14を非導通状態とした後、スイッチ用TFTQ1を非導通状態とできる。その結果、電流出力用TFTQ4が所定電流を流している状態でその電位をコンデンサC1へ保持でき、その出力電流値のバラツキを抑制できるので好ましい。30

【0241】

本実施の形態の表示装置における画素電流回路Qi jの好ましい第2の構成は、ソース配線Sjとゲート配線Giとが交差する領域に、電気光学素子EL1と電流出力用TFTQ4とコンデンサC1とを配置し、ソース配線Sjと並行してデータ配線Tjが配置され、電流出力用TFTQ4のゲート端子にコンデンサC1を配置し、電気光学素子EL1と直列に電流出力用TFTQ4を配置し、電流出力用TFTQ4の出力電流を、電気光学素子EL1へ導くかソース配線Sjへ導くかを切り替える為のスイッチ用TFTQ1を配置し、データ配線Sjの電位を、電流出力用TFTQ4のゲート端子へ導くか否かを切り替える選択用TFTQ14を配置した構成である。

【0242】

上記画素回路構成では、スイッチ用TFTQ1をON状態とし、ソース電極Sjへ電気光学素子EL1の閾値電圧以下となる電圧を印加し、その電気光学素子EL1をOFF状態とし、電源配線Vrefより電流出力用TFTQ4を通して、ソース配線Sjへ電流を流すことができる。一方、選択用TFTQ14をON状態とし、電流出力用TFTQ4のゲート端子へデータ配線Tjの電位を与えることができる。40

【0243】

そこで、電気光学素子EL1を暗輝度状態とするとき、ソース配線Sjから電流を引き出し、ソース電極Sjへ電気光学素子EL1の閾値電圧以下となる電圧を印加し、データ配線TjへOFF電位を印加すれば、電気光学素子EL1の輝度を完全に暗状態とできて好ましい。

【0244】

上記構成においても、電気光学素子EL1はダイオード型の非対称電流特性を持つことが好ましい。50

【0245】

図29はそのような電気光学素子EL1を用いた図17の画素回路構成のためのソースドライバ回路の出力端回路Djである。

【0246】

図29の出力端回路Djは図17の電流ドライブ回路Pjと画素Aijとの間に位置し、電流ドライブ回路Pjの出力電流端（ソース配線Sjの一端）に接続されている端子Ijを有している。

【0247】

出力端回路Djは、データ配線Tjと、第1の電位配線の電位であるOFF電位VHとの間にスイッチ用TFT（第3のスイッチング素子）Q30を配置し、データ配線Tjにコンデンサ（第2のコンデンサ）C10の一方の端子を接続し、そのコンデンサC10の他方端子とソース配線Sjとの間にスイッチ用TFT（第4のスイッチング素子）Q32を配置し、そのコンデンサC10の他方端子と、第2の電位配線の電位である補償電位VXとの間にスイッチ用TFT（第5のスイッチング素子）Q31を配置する。そして、スイッチ用TFTQ30のゲート端子に制御配線Ejを、スイッチ用TFTQ31のゲート端子に制御配線Cjを、スイッチ用TFTQ32のゲート端子に制御配線Bjを接続する。
10

【0248】

この制御配線Ej, Cj, Bjによるスイッチ用TFTQ30, Q31, Q32のON/OFFタイミングをゲート配線GiのON/OFFタイミングと共に示したのが図30である。
20

【0249】

また、このとき図29の各電圧測定ポイントVa, Vb, Vcの電位をシミュレーションした結果を図31に示す。なお、図29の電圧測定ポイントVaの電位はコンデンサC10の他方端子（スイッチ用TFTQ31, Q32と繋がる方の端子）の電位であり、電圧測定ポイントVbの電位は電流出力用TFTQ4のゲート端子電位であり、電圧測定ポイントVcの電位は電流出力用TFTQ4のドレイン端子電位である。

【0250】

また、図31には、電圧測定ポイントVa, Vb, Vcの各電位につき、TFTの閾値電圧および移動度の設計値の上限/中心値/下限を表1のように組み合わせて、3通りずつシミュレーションした結果を曲線で示してある。この3通りのシミュレーションは、表1に示すように、このようなTFTの特性バラツキにより、電気光学素子EL1に流れる駆動電流となる出力端回路Djの出力電流がIoled(1), Ioled(2), Ioled(3)というよう
30 に異なることに対応して行われたものである。図31では、出力電流Ioled(1), Ioled(2), Ioled(3)の順に、電圧測定ポイントVaについてはVa(1)Va(2), Va(3)が、電圧測定ポイントVbについてはVb(1), Vb(2), Vb(3)が、電圧測定ポイントVcについてはVc(1), Vc(2), Vc(3)が、それぞれ対応している。

【0251】

【表1】

	Ioled(1)	Ioled(2)	Ioled(3)
閾値電圧	平均値	下限	上限
移動度	平均値	下限	上限

【0252】

以下に、この図29の出力端回路Dj及び画素回路Aijの動作を図29ないし図31を用いて説明する。なお、図31には、ゲート配線Gi、制御配線Cj, Ej, Bjの電位変化もグラフに収まる範囲で示されている。

【0253】

図30の時間0~5t1が選択期間であり、時間t1~5t1の間（図31では時間1.22ms~1.30msの期間）にゲート配線Giがハイ状態となり（時間t1でロー状
50

態からハイ状態に立ち上がり、時間 t_1 でハイ状態からロー状態に立ち下がる)、スイッチ用 TFTQ1, 選択用 TFTQ14 が導通状態となる。そして、時間 $t_1 \sim 2t_1$ の間(図 31 では時間 1.22ms ~ 1.24ms の期間)に制御配線 Cj, Ej がハイ状態となり(時間 t_1 でロー状態からハイ状態に立ち上がり、時間 $2t_1$ でハイ状態からロー状態に立ち下がる)スイッチ用 TFTQ30, Q31 が導通状態となる。

【0254】

この結果、データ配線 Tj は OFF 電位 VH となり、選択用 TFTQ14 を通して電圧測定ポイント Vb の電位(電流出力用 TFTQ4 のゲート端子電位)も OFF 電位 VH となる。また、電圧測定ポイント Va の電位(コンデンサ C10 の他方端子電位)は補償電位 VX となる。
10

【0255】

図 31 では $VH = 16V$ 、 $VX = 9V$ に設定しており、電圧測定ポイント Vb の電位が 16V、電圧測定ポイント Va の電位が 9V となっている。

【0256】

次に、時間 $3t_1 \sim 4t_1$ の間(図 31 では時間 1.26ms ~ 1.28ms の期間)に制御配線 Bj がハイ状態となり(時間 $3t_1$ でロー状態からハイ状態に立ち上がり、時間 $4t_1$ でハイ状態からロー状態に立ち下がる)スイッチ用 TFTQ32 が導通状態となる。

【0257】

この結果、電圧測定ポイント Vc の電位(電流出力用 TFTQ4 のドレイン端子電位)と 20 電圧測定ポイント Va の電位(コンデンサ C10 の他方端子電位)とは一致する。

【0258】

また、データ配線 Tj にはコンデンサ C1, C10 しか繋がっていない状態となるので、このデータ配線 Tj の電荷は保持される。本実施の形態では $C1 = 1pF$ 、 $C10 = 10pF$ としてコンデンサ C10 の両端の電位差が余り変化しないよう設定したので、図 31 に示すように電圧測定ポイント Vb の電位と電圧測定ポイント Vc の電位との差は、先の OFF 電位 VH と補償電位 VXとの差とほぼ等しい状態を維持する。

【0259】

この結果、ソースドライバ回路から設定された電流を引き出す状態では、電圧測定ポイント Vc の電位は電圧測定ポイント Vb の電位より $VH - VX$ (図 31 では $16V - 9V = 7V$) 低く設定される。
30

【0260】

この電圧測定ポイント Vc の電位が電気光学素子 EL1 の陽極に印加されるので、電気光学素子 EL1 を殆ど電流が流れない状態とすることができます。そして、電気光学素子 EL1 へ電流が流れることに依る電流出力用 TFTQ4 の出力電流のバラツキを抑制できるので好ましい。

【0261】

なお、時間 1.32ms ~ 1.38ms では、ハイ状態とロー状態との切り替わりは制御配線 Cj, Ej, Bj のみが時間 1.22ms ~ 1.28ms と同様に繰り返される。

【0262】

その結果、図 32 のシミュレーション結果に示すように、電流出力用 TFTQ4 の特性バラツキの影響を抑えた出力電流を得ることができる。図 32 には、表 1 の出力電流 $I_{oled}(1)$, $I_{oled}(2)$, $I_{oled}(3)$ の値がシミュレーション結果として示されている。
40

【0263】

なお、図 32 に示すシミュレーション結果は、1.2ms ~ 2.3ms の間、電流ドライバ回路 Pj から $0.2\mu A$ を流し、その後 1.1ms 毎に電流値を $0.1\mu A$ づつ増加させ、8.9ms ~ 10ms の間 $0.9\mu A$ とした後 0 として、その後再度 1.1ms 每に電流値を $0.1\mu A$ ずつ増加させた結果である。

【0264】

図 32 で電流値が 10% 程度ばらつくが、図 27 の回路構成に比べスイッチ用 TFTQ2 50

を用いない分、ボトムエミッショング構成（TFTを形成したガラス基板側から光を取り出す構成）において、画素内の有機ELの面積を多く取れるので好ましい。

【0265】

なお、画素内の有機ELの面積が多いほど、有機ELを形成した部分の単位面積当たり発光輝度を低くできるので、有機ELの劣化を抑え、輝度半減寿命を長くする効果があり好ましい。

【0266】

図29の構成によれば、コンデンサC10へ電荷を貯めることで、ソース配線Sjとデータ配線Tjとの間に電位差を発生できる。その結果、電流出力用TFTQ4へ所望の電流を流すときのデータ配線Tjの電位を適切に設定できる。その結果、電流出力用TFTQ4の出力電流のバラツキを抑えられるので好ましい。
10

【0267】

【実施の形態6】

本発明のさらに他の実施の形態について、図20および図21に基づいて説明すれば以下の通りである。なお、前記実施の形態1ないし5で述べた構成要素と同一の機能を有する構成要素については同一の符号を付し、その説明を省略する。

【0268】

ところで、電気光学素子として有機ELを用いた場合、有機ELの電流-発光輝度特性が時間と共に変化する（輝度が下がる）という問題がある。このような課題解決のための手段としても本発明の画素回路構成を応用できる。
20

【0269】

この場合、図20の画素回路構成Ai,jに示すように、画素にコンデンサC3と受光用TFTQ11とから構成される受光素子を追加すればよい。

【0270】

この画素回路構成Ai,jの動作は、図21に示すように制御配線Wiをハイ状態として、スイッチ用TFTQ2をOFF状態とし、スイッチ用TFTQ1をON状態として、選択期間を始める。このとき、ゲート配線Giもハイ状態とし、選択用TFTQ10をON状態とし、制御配線Eiもハイ状態とし、スイッチ用TFTQ11もON状態とする。そして、ソース配線Sjに電流出力用TFTQ4のOFF電位を印加し、コンデンサC3にそのOFF電位を貯める。
30

【0271】

次に、制御配線Eiをロー状態とし、受光用TFTQ11をOFF状態とする。

【0272】

その後、電源配線Vrefより電流出力用TFTQ4、スイッチ用TFTQ1、ソース配線Sjを通して図示しない電流ドライブ回路Pjに電流を流す。このとき、電流ドライブ回路Pjの電流駆動用TFTQ9は定電流モードなので、ソース配線Sjに繋がる電流出力用TFTQ4のゲート電位は電流出力用TFTQ4がその電流を流すよう設定される。

【0273】

この後、ゲート配線Giがロー状態となり、選択用TFTQ10がOFF状態となる。更に、制御配線Wiがロー状態となり、スイッチ用TFTQ1がOFF状態となり、スイッチ用TFTQ2がON状態となり、選択動作が終了する。
40

【0274】

この後表示期間の間、電気光学素子EL1より発光した光が受光用TFTQ11に入射する。Si TFTは光を受光することでOFF状態の電流値が変化するので、この受光した光に比例してコンデンサC3の電荷がコンデンサC1へ移動する。

【0275】

その結果、コンデンサC1の電位がOFF電位VHに向け変化する。このとき、電気光学素子EL1より発光した光が多いほど、コンデンサC1の電位がOFF電位VHに向け早く変化する。従って、有機ELの電流-輝度特性が良い初期状態では、コンデンサC1の電位が早くOFF電位VHに向け変化し、表示期間の途中で電流出力用TFTQ4がOFF
50

F状態となる。一方、有機ELの電流-輝度特性が悪い経年変化後の状態では、表示期間の最後にやっと電流出力用TFTQ4がOFF状態となる程度になる。

【0276】

従って、初期状態では高輝度×短時間発光となり、経年変化後では低輝度×長時間発光となり、その表示期間の積分輝度がある程度一定となる。

【0277】

このことにより、有機ELの特性劣化に依らず均一な表示が得られるので、好ましい。

【0278】

なお、このように発光した光によるTFT素子特性への影響があるので、図20の受光用TFTQ11以外のTFTQ1, Q2, Q4, Q10には電気光学素子の発光による影響が出ないよう、TFTの上に遮光層を設けると良い。この遮光層としては、TFTプロセスで標準的に用いられている配線用電極膜などが好ましい。
10

【0279】

また、ソース配線Sjやゲート配線Giの上にも電気光学素子EL1を形成できるように、それら配線やTFTと電気光学素子EL1との間に平坦化絶縁膜を形成すると良い。

【0280】

このことにより、ソース配線Sjやゲート配線GiやTFTの周辺の上にも電気光学素子が形成できるので、発光面積が大きく取れる。その結果、比較的小さな電圧で駆動しても必要な輝度が取れるので、特性劣化を緩和することができる。

【0281】

また、この平坦化絶縁膜を屈折率の異なる複数の材料で作成することで、乱反射等を起こし、光の取り出し効率を上げることができる。特に、レンズのような形状を形成すると更に良い。
20

【0282】

また、これら電気光学素子の表面や周辺に熱伝導率の良い膜を形成することで、取り出せない光や熱による温度上昇を平均化できて好ましい。

【0283】

更に、上記のような画素回路構成は、1画素当たり少ないTFTを用いて必要な階調安定性が得られるので、1画素当たりに使われるTFTを減らし、TFT不良によるパネル歩留まり率をアップする効果がある。
30

【0284】

電気光学素子として有機ELを用いる場合、この温度上昇により輝度上昇が見られる。しかし、同時にパネルの消費電流も増えるので、パネルの電源電流をモニタし、その上昇に合わせて電圧降下するような電源回路構成が好ましい。簡単には電源ラインに抵抗のような電流が増えれば電圧ドロップが増える素子を付ける構成である。その他、表示パターン毎に電流容量を変える構成も好ましい。

【0285】

最後に、図22に画素Ai jの配線構成の概念図を示す。ソース配線Sj、ゲート配線Gi、および電源配線Vrefに囲まれた領域内にTFT回路領域および透明電極領域が設けられている。
40

【0286】

【発明の効果】

本発明の表示装置は、以上のように、1つの定電流源を備え、上記ドライブ回路は、上記電気光学素子を電流駆動するための駆動電流を生成して上記駆動制御可能期間に上記第1の配線を介して上記画素に伝達することにより上記画素を駆動制御し、各上記画素に対して上記駆動制御可能期間外に上記定電流源から出力される定電流を用いて上記ドライブ回路内部に上記駆動電流が流れる回路状態を生成して保持し、上記駆動制御可能期間に、保持した上記回路状態で上記駆動電流を生成する構成である。

【0287】

それゆえ、上記ドライブ回路の出力特性をその定電流値でバラツキが少なくなるよう設定
50

できる。その結果、電気光学素子の電流駆動用のドライブ回路を、低温ポリシリコンTFTやCGシリコンTFTで構成することを可能としながら各ソース配線間で電流値がばらつくのを防止することができる表示装置を提供することができるという効果を奏する。

【0288】

さらに本発明の表示装置は、以上のように、上記電気光学素子に上記駆動電流が流れる電流駆動期間は、一定期間内に設けられた複数の期間の選択的な組み合わせにより長さが決定される構成である。

【0289】

それゆえ、一定期間において、ドライブ回路から伝達される駆動電流値で定められる階調数よりも多階調で表示を行うことができるという効果を奏する。

10

【0290】

さらに本発明の表示装置は、以上のように、上記画素は、上記電気光学素子の電流駆動時に上記駆動電流を生成して上記電気光学素子に流す第1のアクティプ素子と、上記駆動制御可能期間に上記ドライブ回路から伝達された上記駆動電流を上記電流駆動時に上記第1のアクティプ素子に生成させるために上記第1のアクティプ素子に印加する電圧条件を保持する第1のコンデンサと、上記駆動制御可能期間に、導通状態となることにより上記ドライブ回路から上記第1のアクティプ素子に上記駆動電流を伝達させて上記第1のアクティプ素子に上記電圧条件を生成させ、上記電圧条件の生成後に遮断状態となることにより上記電圧条件を上記第1のコンデンサに保持させる第2のアクティプ素子と、導通状態となることにより上記画素を上記第1の配線に接続して上記駆動制御可能期間を開始させ、上記第1のコンデンサによる上記電圧条件を上記第1のコンデンサに保持させる第1のスイッチング素子とを備えている構成である。

20

【0291】

それゆえ、ドライブ回路から伝達された駆動電流で電気光学素子を駆動することができるという効果を奏する。

【0292】

さらに本発明の表示装置は、以上のように、上記第1のアクティプ素子による上記電圧条件の生成に必要な電位を、上記第1のスイッチング素子を介さずに、導通状態にある上記第2のアクティプ素子を介して上記第1のアクティプ素子に伝達するように設けられた第3の配線を備えており、上記第1のスイッチング素子は、導通状態となることによって、上記第1の配線を上記電気光学素子の上記駆動電流の流入側端子に接続する構成である。

30

【0293】

それゆえ、電気光学素子が閾値電圧を有するダイオード型の電気光学素子であってこれを暗輝度状態にしたいとき、第3の配線から第2のアクティプ素子を介して第1のアクティプ素子に第1のアクティプ素子が遮断状態となるような電位を伝達し、第1の配線から第1のスイッチング素子を介して電気光学素子の駆動電流流入側端子に、電気光学素子に印加される電圧が閾値電圧以下となるような電位を伝達することにより、電気光学素子を完全に暗状態とすることができるという効果を奏する。

【0294】

さらに本発明の表示装置は、以上のように、第1のスイッチング素子の導通状態および遮断状態を決める電位を伝達する第4の配線を備えている構成である。

40

【0295】

それゆえ、第1のコンデンサが電圧条件を保持するまでに、生成された電圧が電圧条件から第1のスイッチング素子のスイッチングによって変化してしまうという悪影響を回避し、第1のコンデンサが電圧条件を保持した後に第1のスイッチング素子を遮断状態とすることを確実に行うことができるという効果を奏する。

【0296】

また、第4の配線を備えていることによって、電気光学素子の電流駆動を行っている最中に第1のアクティプ素子を遮断状態とするような電位を第2のアクティプ素子または第1のスイッチング素子に伝達することにより、電気光学素子の電流駆動期間の長さを制御す

50

ることができるという効果を奏する。

【0297】

さらに本発明の表示装置は、以上のように、上記第1のアクティブ素子から上記電気光学素子へ上記駆動電流が流れる経路の導通および遮断を行う第2のスイッチング素子を備えている構成である。

【0298】

それゆえ、電気光学素子が閾値電圧を有するダイオード型の素子でなくても容易に電流駆動を行うことができるという効果を奏する。

【0299】

また、本発明の表示装置は、以上のように、第1の配線と第2の配線とが交差する各領域に設けられた、電流駆動型の電気光学素子を有する画素を、上記第2の配線の電位状態によって上記画素が駆動制御可能となる駆動制御可能期間に上記第1の配線を介して駆動制御するドライブ回路であって、上記電気光学素子を電流駆動するための駆動電流を生成して上記駆動制御可能期間に上記第1の配線を介して上記画素に伝達することにより上記画素を駆動制御するドライブ回路を備えた表示装置であり、上記ドライブ回路は、各上記画素に対して上記駆動制御可能期間外に1つの定電流源から出力される定電流を用いて上記ドライブ回路内部に上記駆動電流が流れる回路状態を生成して保持し、上記駆動制御可能期間に、保持した上記回路状態で上記駆動電流を生成する構成である。10

【0300】

それゆえ、上記ドライブ回路の駆動電流を1つの定電流源を用いて設定するので、上記ドライブ回路の出力特性をその定電流値でバラツキが少なくなるよう設定できる。その結果上記ドライブ回路の出力電流のバラツキを抑えられる。その結果、電気光学素子の電流駆動用のドライブ回路を、低温ポリシリコンTFTやCGシリコンTFTで構成することを可能としながら各ソース配線間で電流値がばらつくのを防止することができる表示装置を提供することができるという効果を奏する。20

【0301】

また、本発明の表示装置は、以上のように、第1の配線と第2の配線とが交差する各領域に電気光学素子を有する表示装置であって、上記電気光学素子と第1のアクティブ素子とを直列に配置し、上記第1のアクティブ素子の制御端子に第1のコンデンサを接続し、上記第1の配線と上記第1のコンデンサとの間に第2のアクティブ素子を配置し、上記第1のアクティブ素子の電流出力端子と上記第1の配線との間に第1のスイッチング素子を配置し、上記第1のスイッチング素子の制御端子に第4の配線を接続した構成である。30

【0302】

それゆえ、第1のスイッチング素子と第2のアクティブ素子とを導通状態とし、第1のアクティブ素子から上記第1のスイッチング素子を通して第1の配線へ所定電流を流すことで上記第1のコンデンサへ保持する電位を生成できる。また、第1のスイッチング素子を非導通状態とする前に上記第2のアクティブ素子を非導通状態とすることで、上記電位を保持できる。従って、電気光学素子の電流駆動用のドライブ回路に、1つの定電流源から出力される定電流を用いて上記所定電流を流すようなドライブ回路を用いれば、該ドライブ回路の出力特性をその定電流値でバラツキが少なくなるよう設定できる。その結果、電気光学素子の電流駆動用のドライブ回路を、低温ポリシリコンTFTやCGシリコンTFTで構成することを可能としながら各ソース配線間で電流値がばらつくのを防止することができる表示装置を提供することができるという効果を奏する。40

【0303】

また、本発明の表示装置は、以上のように、第1の配線と第2の配線とが交差する各領域に電気光学素子を有する表示装置であって、上記第1の配線と並行して第3の配線を配置し、上記電気光学素子と第1のアクティブ素子とを直列に配置し、上記第1のアクティブ素子の制御端子に第1のコンデンサを接続し、上記第3の配線と上記第1のコンデンサとの間に第2のアクティブ素子を配置し、上記第1のアクティブ素子の電流出力端子と上記第1の配線との間に第1のスイッチング素子を配置した構成である。50

【0304】

それゆえ、第1の配線と第3の配線とを繋ぎ、第1のスイッチング素子と第2のアクティブ素子とを導通状態とし、第1のアクティブ素子から上記第1のスイッチング素子を通して第1の配線へ所定電流を流すことで上記第1のコンデンサへ保持する電位を生成できる。従って、電気光学素子の電流駆動用のドライブ回路に、1つの定電流源から出力される定電流を用いて上記所定電流を流すようなドライブ回路を用いれば、該ドライブ回路の出力特性をその定電流値でバラツキが少なくなるよう設定できる。その結果、電気光学素子の電流駆動用のドライブ回路を、低温ポリシリコンTFTやCGシリコンTFTで構成することを可能しながら各ソース配線間で電流値がばらつくのを防止することができる表示装置を提供することができるという効果を奏する。

10

【0305】

また、第1の配線と第3の配線とを分離し、第1のスイッチング素子と第2のアクティブ素子とを導通状態とし、第3の配線に所定の電位を印加することで上記第1のアクティブ素子を非導通状態とできる。この結果、第1のアクティブ素子の非導通状態での電流値を充分小さくできるという効果を奏する。

【0306】

また、上記表示装置は、特に、上記画素回路構成で、上記電気光学素子と第1のアクティブ素子との間に第2のスイッチング素子を配置した構成である。

【0307】

それゆえ、電気光学素子の特性によらず、上記第1のアクティブ素子の出力電流を第1の配線へ導けるので、上記第1の配線と第3の配線との間を導通状態としたとき、第1のアクティブ素子が所望の電流を流すよう、その電流制御端子電位を設定できる。その結果、第1のアクティブ素子の出力電流のバラツキを抑えられるという効果を奏する。

20

【0308】

また、第1の配線と第3の配線との間を非導通状態とし、第3の配線へ所定の電圧を印加することで第1のアクティブ素子を非導通状態とできる。この結果、第1のアクティブ素子の非導通状態での電流値を充分小さくできるという効果を奏する。

【0309】

また、上記表示装置は、特に、上記第2のスイッチング素子の制御端子に第4の配線を接続した構成である。

30

【0310】

それゆえ、第4の配線の電位状態により、第1のアクティブ素子の導通および遮断とは独立に第2のスイッチング素子を導通および遮断することができるので、第1のアクティブ素子の制御端子電位を保持させたまま、電気光学素子の消光動作を行うことができる。

【0311】

また、上記表示装置は、上記表示装置用にドライバ回路の出力端には、第3の配線に第2のコンデンサを接続し、第3の配線と第1の電位配線との間に第3のスイッチング素子を配置し、上記第2のコンデンサと第1の配線との間に第4のスイッチング素子を配置し、上記第2のコンデンサと第2の電位配線との間に第5のスイッチング素子を配置した構成を用いる。

40

【0312】

それゆえ、第2のコンデンサへ電荷を貯めることで、第1の配線と第3の配線との間に電位差を発生できる。その結果、上記第1のアクティブ素子へ所望の電流を流すときの第3配線の電位を適切に設定できる。その結果、上記第1のアクティブ素子の出力電流のバラツキを抑えられるという効果を奏する。

【0313】

本発明の表示装置の第1の画素回路構成は、第1のアクティブ素子から第1のスイッチング素子を通して第1の配線へ所定電流を流すことで第1のコンデンサへ保持する電位を生成できる。また、第2のアクティブ素子を非導通状態とすることで、上記電位を保持できる。その後、上記第1のスイッチング素子を非導通状態とすることで、上記第1のアクテ

50

イブ素子から上記電気光学素子へ所定の電流を流すことができる。

【0314】

このことにより、上記第1のアクティブ素子が所定電流を流している状態の電位を上記第1のコンデンサで保持できるので、その出力電流値のバラツキを抑制できて好ましい。

【0315】

本発明の表示装置の第2の画素回路構成は、第1の配線と第3の配線とを繋ぎ、所定の電流値を流すことによって上記第1のアクティブ素子の電流値を設定できる。また、第1の配線と第3の配線とを分離し、第3の配線に所定の電位を印加することで上記第1のアクティブ素子を非導通状態とできる。この結果、第1のアクティブ素子の非導通状態での電流値を充分小さくできるので好ましい。

10

【0316】

また上記第2の画素回路構成用のソースドライバ出力端回路は、第2のコンデンサへ電荷を貯めることで、第1の配線と第3の配線との間に電位差を発生できる。その結果、上記第1のアクティブ素子（TFT素子）へ所望の電流を流すときの第3配線の電位を適切に設定できる。その結果、上記第1のアクティブ素子の出力電流のバラツキを抑えられるので好ましい。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る表示装置の電流ドライブ回路及び画素回路の等価回路を示す回路図である。

【図2】図1の回路の動作を示す第1のタイミング図である。

20

【図3】図1の回路の動作を示す第2のタイミング図である。

【図4】図1の回路の動作を示す第3のタイミング図である。

【図5】本発明の第2の実施の形態に係る表示装置の電流ドライブ回路の等価回路を示す回路図である。

【図6】本発明の第2の実施の形態に係る表示装置の他の電流ドライブ回路の等価回路を示す回路図である。

【図7】本発明の第3の実施の形態に係る表示装置の駆動方法を示す第1のタイミング図である。

【図8】本発明の第3の実施の形態に係る表示装置の駆動方法を示す第2のタイミング図である。

30

【図9】本発明の第4の実施の形態に係る表示装置の画素回路の等価回路を示す第1の回路図である。

【図10】図9の回路の動作を示すタイミング図である。

【図11】動画偽輪郭の第1の発生状況を示す第1の動画偽輪郭図である。

【図12】動画偽輪郭の第2の発生状況を示す第2の動画偽輪郭図である。

【図13】本発明の第4の実施の形態に係る表示装置の画素回路の等価回路を示す第2の回路図である。

【図14】本発明の第4の実施の形態に係る表示装置の他の画素回路の等価回路を示す第3の回路図である。

【図15】本発明の第4の実施の形態に係る表示装置の他の画素回路の等価回路を示す第4の回路図である。

【図16】図15の走査タイミングを示すタイミング図である。

【図17】本発明の第5の実施の形態に係る表示装置の電流ドライブ回路及び画素回路の等価回路を示す回路図である。

【図18】図17の回路の動作を示すタイミング図である。

【図19】本発明の第5の実施の形態に係る表示装置の他の電流ドライブ回路及び画素回路の等価回路を示す回路図である。

【図20】本発明の第6の実施の形態に係る表示装置の画素回路の応用例の等価回路を示す回路図である。

【図21】図20の回路の動作を示すタイミング図である。

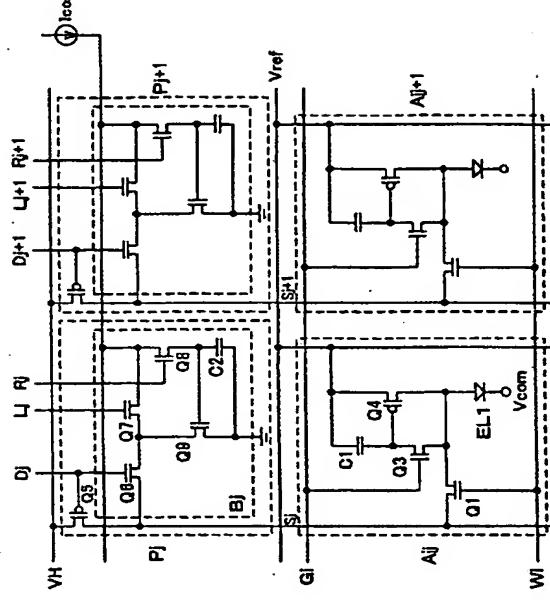
50

- 【図 2 2】画素の配線構成の平面図である。
- 【図 2 3】従来の有機ELによる第1の画素回路の等価回路を示す回路図である。
- 【図 2 4】従来の有機ELによる第2の画素回路の等価回路を示す回路図である。
- 【図 2 5】従来の有機ELによる第3の画素回路の等価回路を示す回路図である。
- 【図 2 6】従来の有機ELによる第4の画素回路の等価回路を示す回路図である。
- 【図 2 7】本発明の第5の実施の形態に係る表示装置のさらに他の画素回路の等価回路を示す回路図である。
- 【図 2 8】本発明の第5の実施の形態に係る表示装置のさらに他の画素回路の等価回路を示す回路図である。
- 【図 2 9】本発明の第5の実施の形態に係る表示装置のソースドライバ回路出力端回路の等価回路を示す回路図である。
10
- 【図 3 0】図29の回路の動作を示すタイミング図である。
- 【図 3 1】図29の回路動作をシミュレーションしたタイミング図である。
- 【図 3 2】図29の回路出力電流をシミュレーションした結果である。

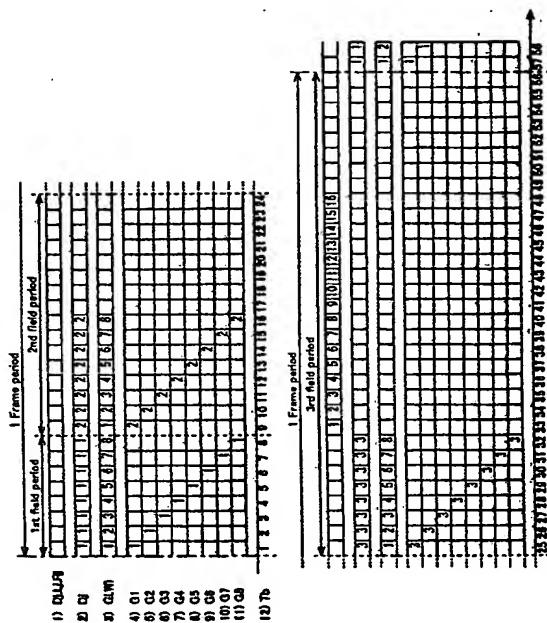
【符号の説明】

A _{i,j}	画素	
P _j	電流ドライブ回路	
Q ₁	スイッチ用 TFT (第1のスイッチング素子)	20
Q ₂	スイッチ用 TFT (第2のスイッチング素子)	
Q ₃	選択用 TFT (第2のアクティブ素子)	
Q ₄	電流出力用 TFT (第1のアクティブ素子)	
Q ₁₀	選択用 TFT (第2のアクティブ素子)	
Q ₁₄	選択用 TFT (第2のアクティブ素子)	
C ₁	コンデンサ (第1のコンデンサ)	
E _{L1}	電気光学素子	
S _j	ソース配線 (第1の配線)	
G _i	ゲート配線 (第2の配線)	
T _j	データ配線 (第3の配線)	
E _{i,W_i}	制御線 (第4の配線)	30
I _{con}	定電流源	
C ₁₀	コジデンサ (第2のコンデンサ)	
Q ₃₀	スイッチ用 TFT (第3のスイッチング素子)	
Q ₃₁	スイッチ用 TFT (第5のスイッチング素子)	
Q ₃₂	スイッチ用 TFT (第4のスイッチング素子)	

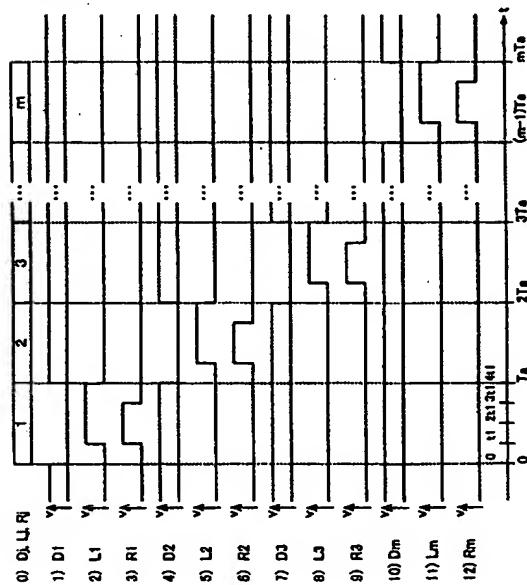
【図 1】



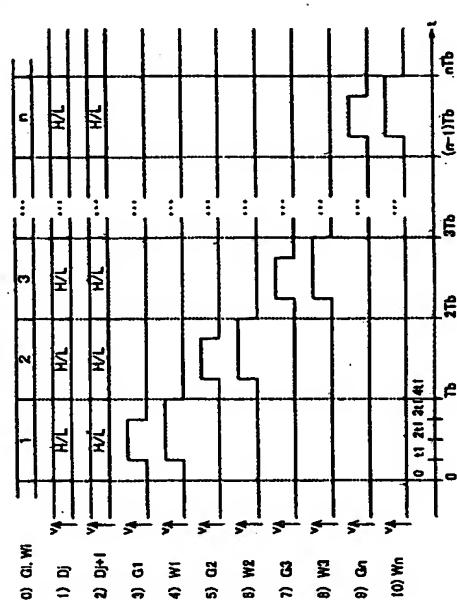
【図 2】



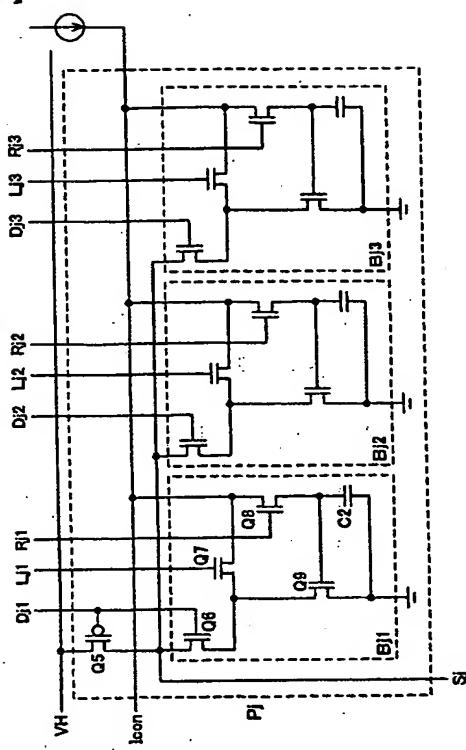
【図 3】



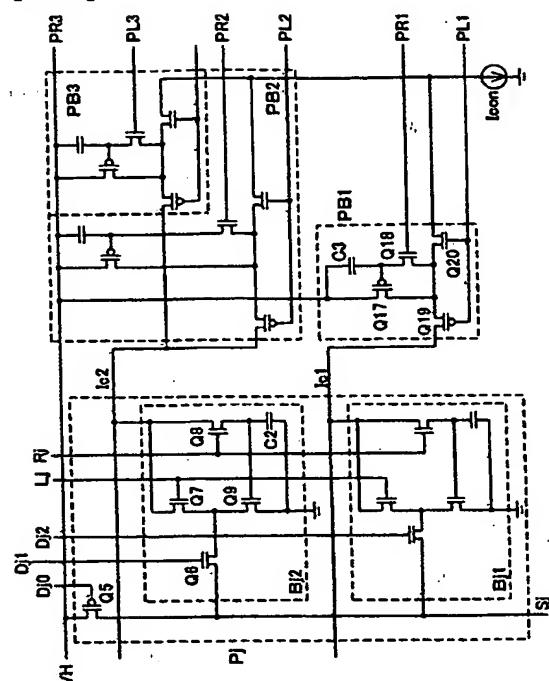
【図 4】



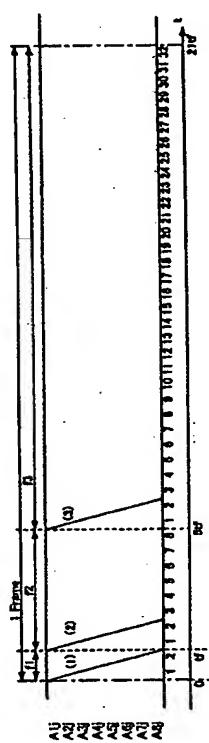
【図 5】



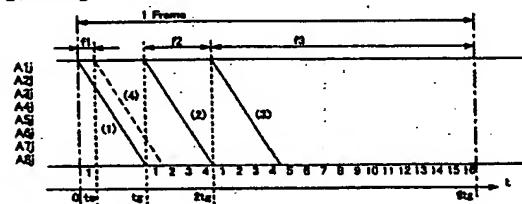
【図 6】



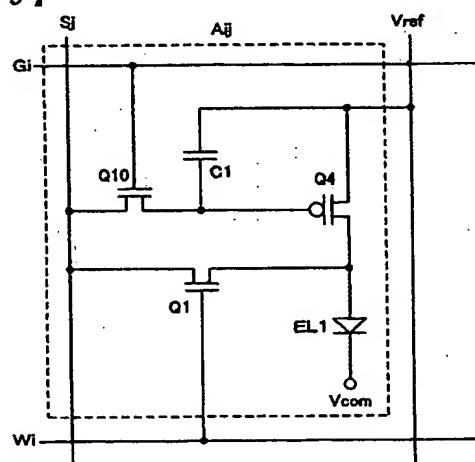
【図 7】



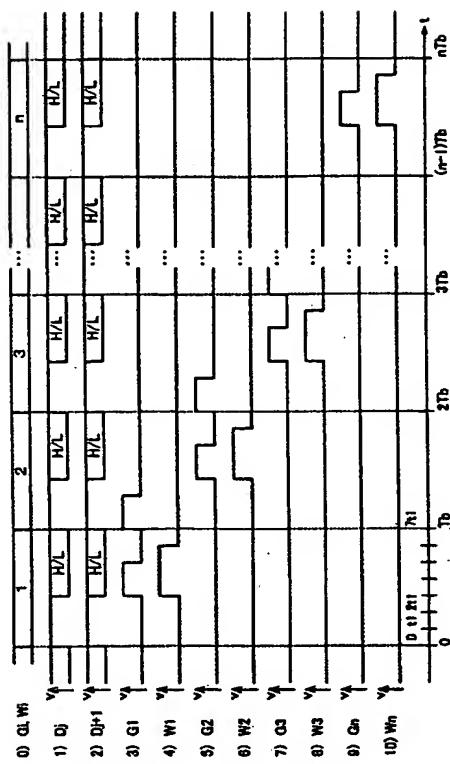
【図 8】



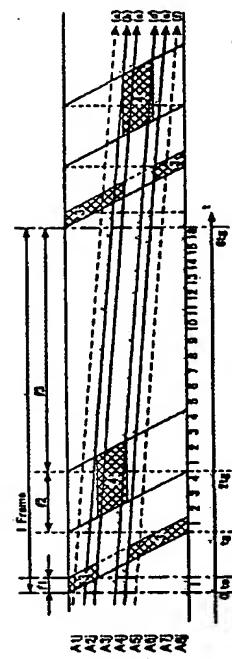
【図 9】



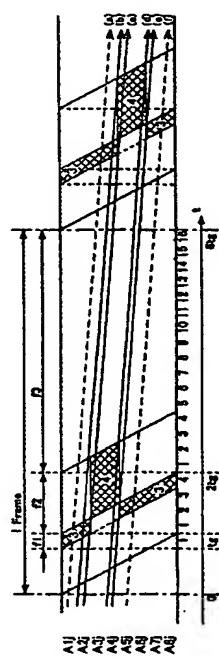
【図 1 0】



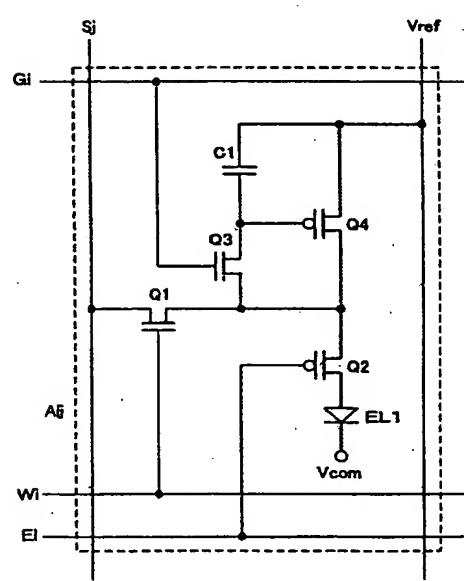
【図 1 1】



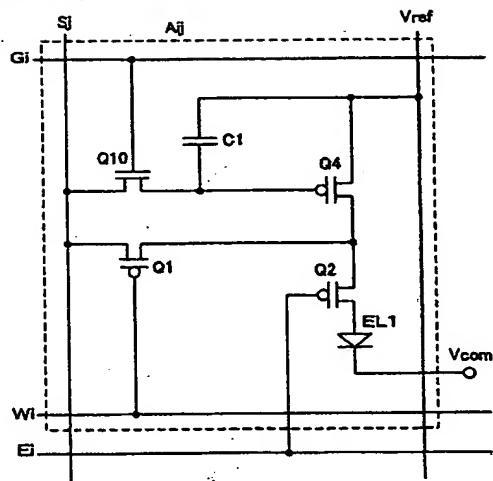
【図 1 2】



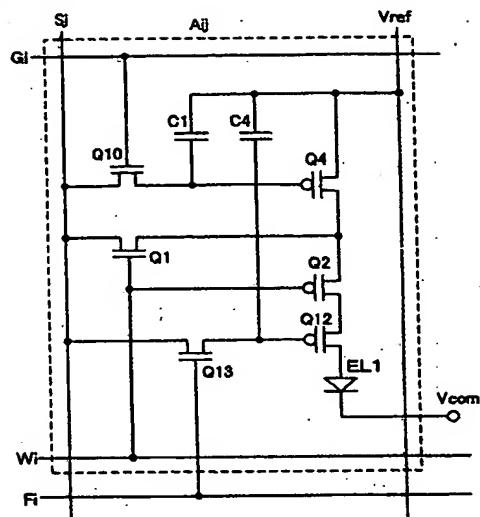
【図 1 3】



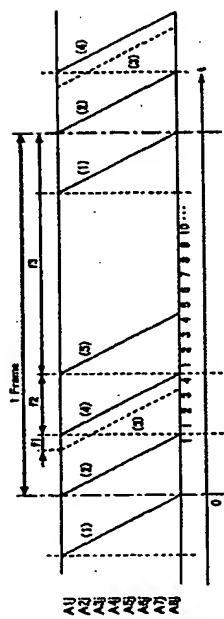
【図14】



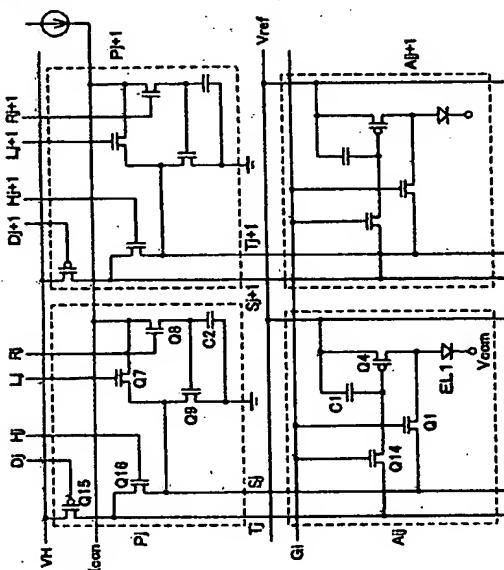
【図15】



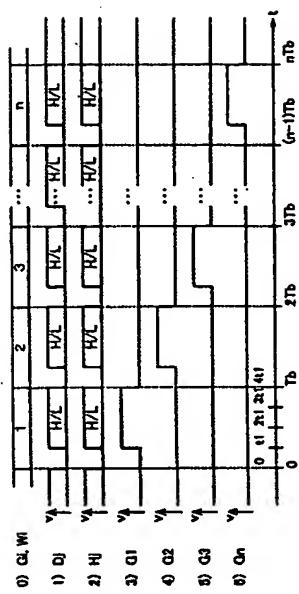
【図16】



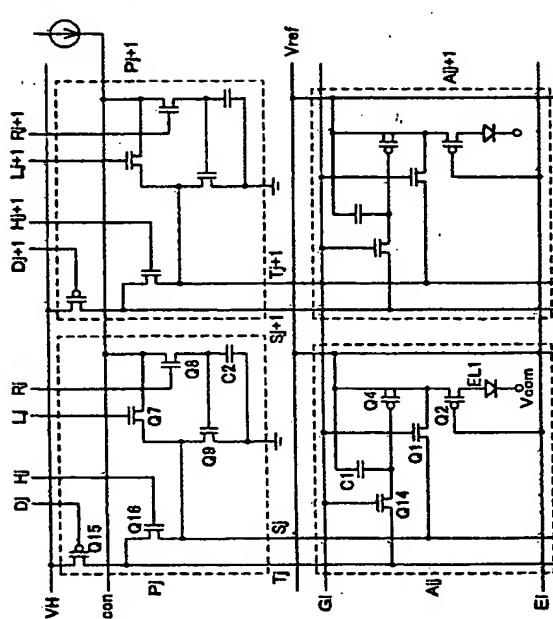
【図17】



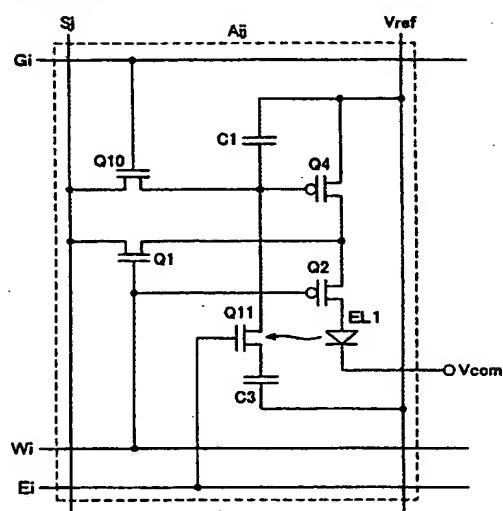
【図 18】



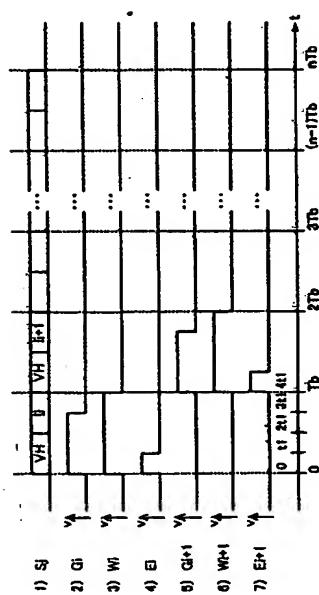
【図 19】



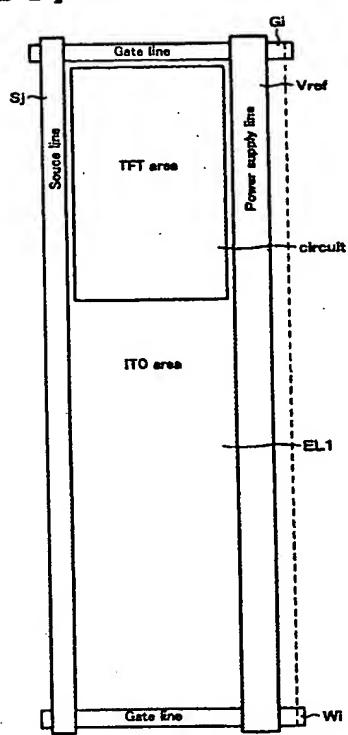
【図 20】



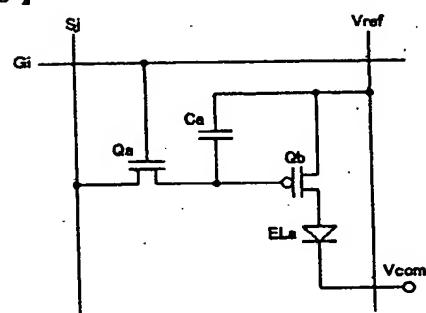
【図 21】



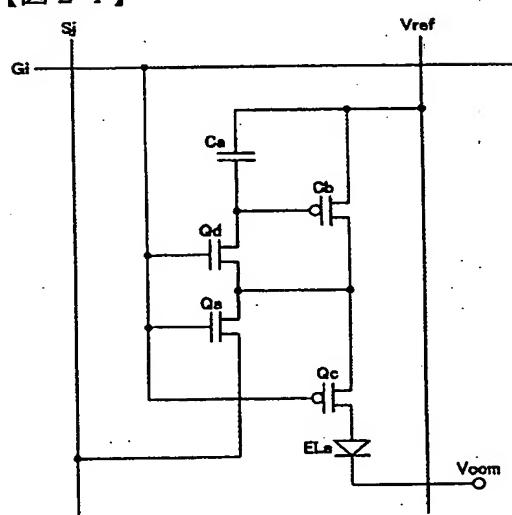
【図 2 2】



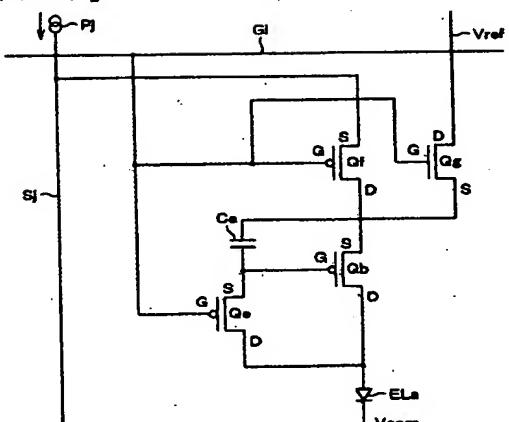
【図 2 3】



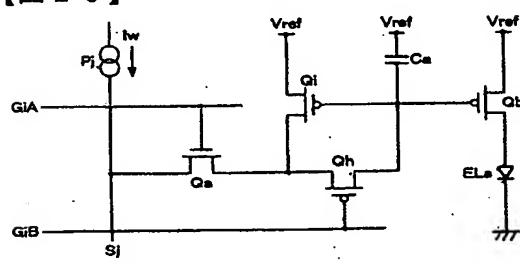
【図 2 4】



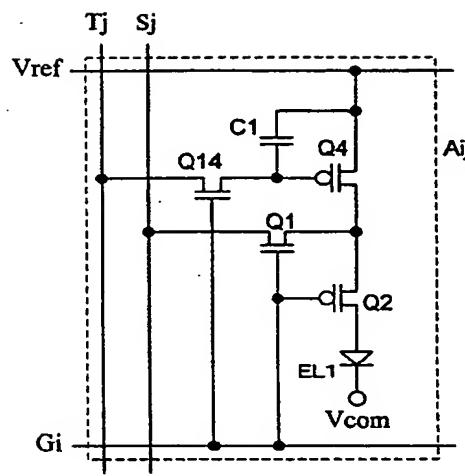
【図 2 5】



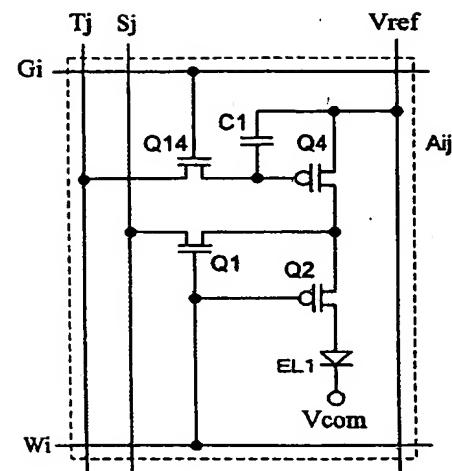
【図 2 6】



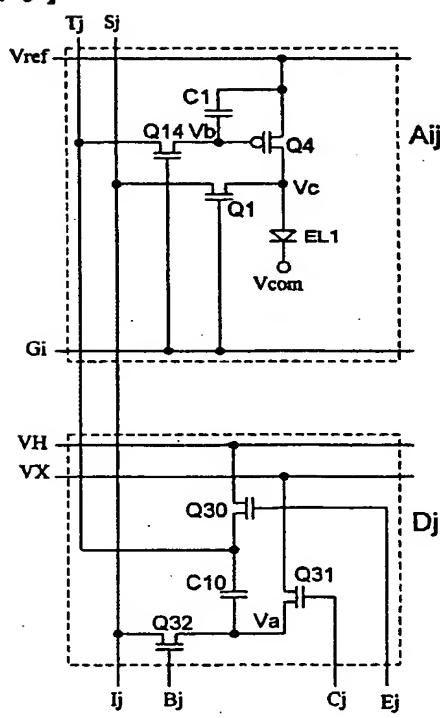
【図 27】



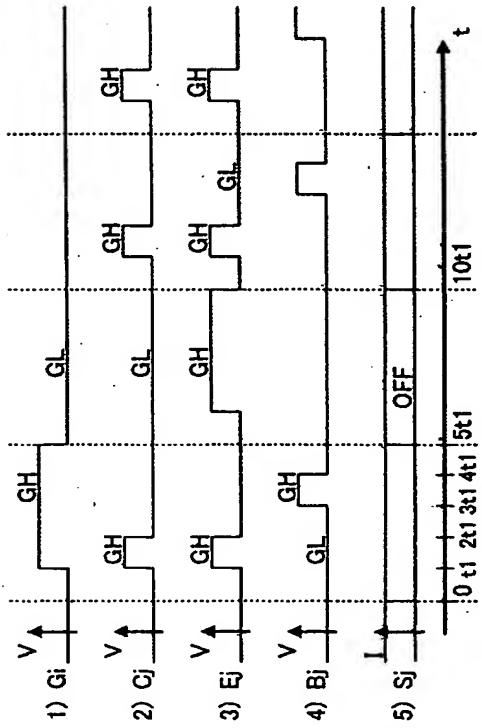
【図 28】



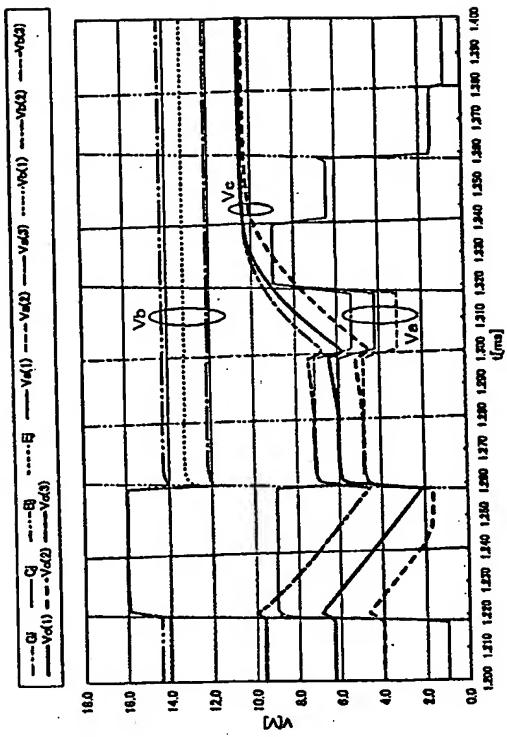
【図 29】



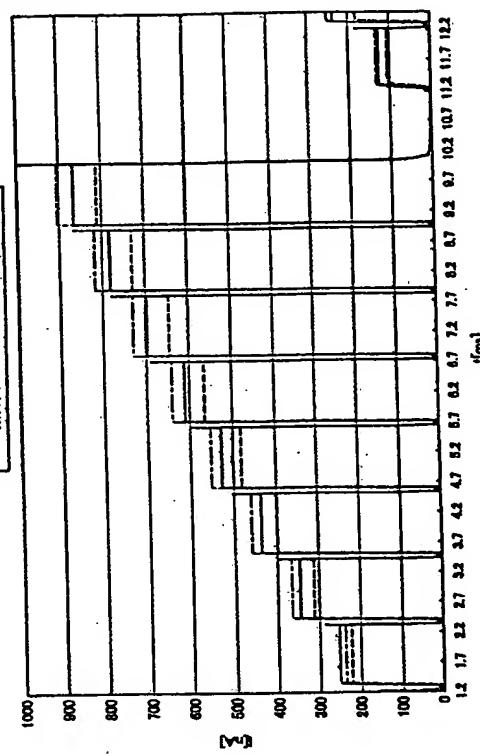
【図 30】



【図31】



【図32】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 09 G... 3/20.. 6 4 1 A
G 09 G 3/20 6 4 1 D
H 05 B 33/14 A

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-177926
(43)Date of publication of application : 24.06.2004

(51)Int.CI. G09G 3/30
G09G 3/20
H05B 33/14

(21)Application number : 2003-138731 (71)Applicant : SHARP CORP
(22)Date of filing : 16.05.2003 (72)Inventor : NUMAO KOJI

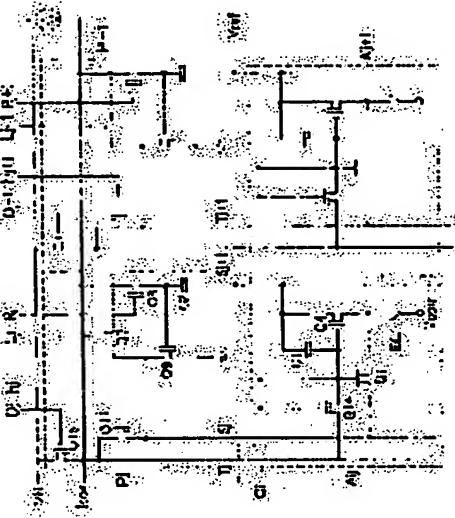
(30)Priority
Priority number : 2002292922 Priority date : 04.10.2002 Priority country : JP

(54) DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a display device which can prevent the current value from varying among source lines, while a current driver circuit for the electro-optic device is constituted of a low temperature polysilicon TFT or CG silicon TFT.

SOLUTION: A current driver circuit Pj in a driver circuit generates, and maintains, a state where a drive current for an electro-optic device EL1 flows through a current output TFT Q9 and a capacitor C2, using a constant current outputted from a single constant current source I_{on} during a non-drive controllable period for the pixel A_{ij}. The driver circuit performs the previous operation on each pixel. The current driver circuit Pj then generates the drive current in the maintained circuit state and passes the drive current through a source line S_j to the pixel A_{ij} which is in a drive controllable period by means of voltage state of the gate line G_i, so as to control the driving of the pixel A_{ij}. Thus, in the pixel A_{ij} receiving the drive current, the drive current flows through the electro-optic device EL1 to effect a display.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-177926

(P2004-177926A)

(43) 公開日 平成16年6月24日(2004.6.24)

(51) Int.C1.⁷G09G 3/30
G09G 3/20
H05B 33/14

F 1

G09G 3/30 J 3K007
G09G 3/20 611H 5C080
G09G 3/20 612F
G09G 3/20 623B
G09G 3/20 624B

テーマコード(参考)

審査請求 未請求 請求項の数 12 O L (全 47 頁) 最終頁に統く

(21) 出願番号 特願2003-138731 (P2003-138731)
 (22) 出願日 平成15年5月16日 (2003.5.16)
 (31) 優先権主張番号 特願2002-292922 (P2002-292922)
 (32) 優先日 平成14年10月4日 (2002.10.4)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 100080034
 弁理士 原 謙三
 (74) 代理人 100113701
 弁理士 木島 隆一
 (74) 代理人 100116241
 弁理士 金子 一郎
 (72) 発明者 沼尾 幸次
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内
 Fターム(参考) 3K007 AB02 AB17 BA06 DB03 GA04
 5C080 AA06 BB05 DD01 DD05 DD29
 EE29 FF01 FF07 FF11 JJ03
 JJ04 KK07 KK47

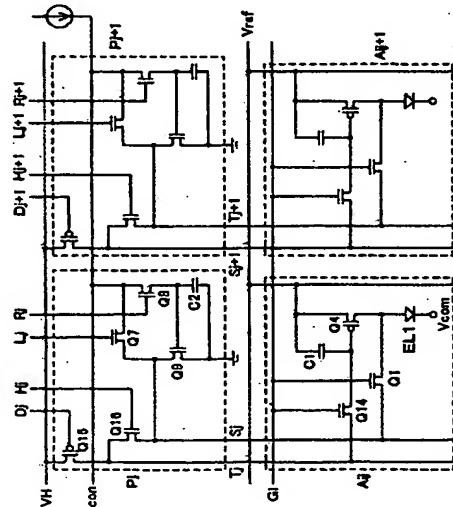
(54) 【発明の名称】表示装置

(57) 【要約】

【課題】電気光学素子の電流駆動用のドライブ回路を、低温ポリシリコンTFTやCGシリコンTFTで構成することを可能としながら各ソース配線間で電流値がばらつくのを防止することができる表示装置を提供する。

【解決手段】ドライブ回路の電流ドライブ回路P_jは、画素A_ijの駆動制御可能期間外に1つの定電流源I_{c on}から出力される定電流を用いて、電流出力用TFT Q₉およびコンデンサC₂に電気光学素子EL₁の駆動電流が流れ状態を生成してこれを保持する。ドライブ回路はこの動作を各画素に対して行う。そして、電流ドライブ回路P_jは、ゲート配線G_iの電位状態によって駆動制御可能期間となった画素A_ijに対して、保持した回路状態で駆動電流を生成し、ソース配線S_jを介して伝達することにより、画素A_ijを駆動制御する。駆動電流が伝達された画素A_ijでは、この駆動電流が電気光学素子EL₁に流れ表示を行う。

【選択図】 図17



【特許請求の範囲】**【請求項 1】**

第1の配線と第2の配線とが交差する各領域に設けられた、電流駆動型の電気光学素子を有する画素と、

上記第2の配線の電位状態によって上記画素が駆動制御可能となる駆動制御可能期間に上記第1の配線を介して上記画素を駆動制御するドライブ回路とを備えた表示装置において

、1つの定電流源を備え、

上記ドライブ回路は、上記電気光学素子を電流駆動するための駆動電流を生成して上記駆動制御可能期間に上記第1の配線を介して上記画素に伝達することにより上記画素を駆動制御し、各上記画素に対して上記駆動制御可能期間外に上記定電流源から出力される定電流を用いて上記ドライブ回路内部に上記駆動電流が流れる回路状態を生成して保持し、上記駆動制御可能期間に、保持した上記回路状態で上記駆動電流を生成することを特徴とする表示装置。
10

【請求項 2】

上記電気光学素子に上記駆動電流が流れる電流駆動期間は、一定期間内に設けられた複数の期間の選択的な組み合わせにより長さが決定されることを特徴とする請求項1に記載の表示装置。

【請求項 3】

上記画素は、

上記電気光学素子の電流駆動時に上記駆動電流を生成して上記電気光学素子に流す第1のアクティブ素子と、

上記駆動制御可能期間に上記ドライブ回路から伝達された上記駆動電流を上記電流駆動時に上記第1のアクティブ素子に生成させるために上記第1のアクティブ素子に印加する電圧条件を保持する第1のコンデンサと、

上記駆動制御可能期間に、導通状態となることにより上記ドライブ回路から上記第1のアクティブ素子に上記駆動電流を伝達させて上記第1のアクティブ素子に上記電圧条件を生成させ、上記電圧条件の生成後に遮断状態となることにより上記電圧条件を上記第1のコンデンサに保持させる第2のアクティブ素子と、

導通状態となることにより上記画素を上記第1の配線に接続して上記駆動制御可能期間を開始させ、上記第1のコンデンサによる上記電圧条件を上記第1のコンデンサに保持させる第1のスイッチング素子とを備えていることを特徴とする請求項1または2に記載の表示装置。
20

【請求項 4】

上記第1のアクティブ素子による上記電圧条件の生成に必要な電位を、上記第1のスイッチング素子を介さずに、導通状態にある上記第2のアクティブ素子を介して上記第1のアクティブ素子に伝達するように設けられた第3の配線を備えており、

上記第1のスイッチング素子は、導通状態となることによって、上記第1の配線を上記第1のアクティブ素子の電流出力端子に接続することを特徴とする請求項3に記載の表示装置。
30

【請求項 5】

上記第1のスイッチング素子の導通状態および遮断状態を決める電位を上記第1のスイッチング素子に伝達する第4の配線を備えていることを特徴とする請求項3または4に記載の表示装置。

【請求項 6】

上記第1のアクティブ素子から上記電気光学素子へ上記駆動電流が流れる経路の導通および遮断を行う第2のスイッチング素子を備えていることを特徴とする請求項3ないし5のいずれかに記載の表示装置。
40

【請求項 7】

第1の配線と第2の配線とが交差する各領域に設けられた、電流駆動型の電気光学素子を

有する画素を、上記第2の配線の電位状態によって上記画素が駆動制御可能となる駆動制御可能期間に上記第1の配線を介して駆動制御するドライブ回路であって、上記電気光学素子を電流駆動するための駆動電流を生成して上記駆動制御可能期間に上記第1の配線を介して上記画素に伝達することにより上記画素を駆動制御するドライブ回路を備えた表示装置であり、

上記ドライブ回路は、各上記画素に対して上記駆動制御可能期間外に1つの定電流源から出力される定電流を用いて上記ドライブ回路内部に上記駆動電流が流れる回路状態を生成して保持し、上記駆動制御可能期間に、保持した上記回路状態で上記駆動電流を生成することを特徴とする表示装置。

【請求項8】

第1の配線と第2の配線とが交差する各領域に電気光学素子を有する表示装置であって、上記電気光学素子と第1のアクティブ素子とを直列に配置し、上記第1のアクティブ素子の制御端子に第1のコンデンサを接続し、上記第1の配線と上記第1のコンデンサとの間に第2のアクティブ素子を配置し、上記第1のアクティブ素子の電流出力端子と上記第1の配線との間に第1のスイッチング素子を配置し、上記第1のスイッチング素子の制御端子に第4の配線を接続したことを特徴とする表示装置。

【請求項9】

第1の配線と第2の配線とが交差する各領域に電気光学素子を有する表示装置であって、上記第1の配線と並行して第3の配線を配置し、上記電気光学素子と第1のアクティブ素子とを直列に配置し、上記第1のアクティブ素子の制御端子に第1のコンデンサを接続し、上記第3の配線と上記第1のコンデンサとの間に第2のアクティブ素子を配置し、上記第1のアクティブ素子の電流出力端子と上記第1の配線との間に第1のスイッチング素子を配置したことを特徴とする表示装置。

【請求項10】

上記電気光学素子と上記第1のアクティブ素子との間に第2のスイッチング素子を配置したことの特徴とする請求項8または9に記載の表示装置。

【請求項11】

上記第2のスイッチング素子の制御端子に第4の配線を接続したことを特徴とする請求項10に記載の表示装置。

【請求項12】

上記第3の配線に接続される第2のコンデンサと、上記第3の配線と第1の電位配線との間に配置された第3のスイッチング素子と、上記第2のコンデンサの他方端子と上記第1の配線との間に配置された第4のスイッチング素子と、上記第2のコンデンサの他方端子と第2の電位配線との間に配置された第5のスイッチング素子とを備えたことを特徴とする請求項9ないし11のいずれかに記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、有機EL (Electro Luminescence) ディスプレイやFED (Field Emission Display) 等の電流駆動素子を用いた表示装置に関するものである。

【0002】

【従来の技術】

近年、有機ELディスプレイやFEDディスプレイの研究開発が活発に行われている。特に有機ELディスプレイは、低電圧・低消費電力で発光可能なディスプレイとして、携帯電話やPDA (Personal Digital Assistants) などの携帯機器用として注目されている。

【0003】

この有機ELディスプレイは単純マトリックス型から商品化が始まったが、将来アクティブマトリックス型が主流になると考えられている。この有機EL用アクティブ素子は、アモルファスシリコンTFTでも実現可能であるが、ドライブ回路も同時に形成できて、より小型のTFTで有機ELを駆動できる(TFTの移動度が高い)、単結晶シリコンTFTやポリシリコンTFTやCG(Continuous Grain)シリコンTFTが有力視されている。特に、直視型ディスプレイ用としてガラス基板上に形成できる低温ポリシリコンTFTやCGシリコンTFTが好まれている。

【0004】

この低温ポリシリコンやCGシリコンを用いたアクティブマトリックス型有機ELの画素回路は、非特許文献1等で参照されているように、基本的に図23に示すように2つのTFT素子Qa・QbとコンデンサCaと有機EL素子ELaとから構成される。
10

【0005】

即ち、電源配線Vrefと電源端子Vcomとの間で駆動用TFT素子Qbが有機EL素子ELaと直列に配置され、その駆動用TFT素子Qbのゲート端子とソース端子との間にコンデンサCaが接続され、ソース端子は電源配線Vrefに接続されている。また、選択用TFT素子Qaのゲートはゲート配線Giに接続されており、ソース・ドレインはソース配線Sjと駆動用TFT素子Qbのゲート端子とを接続するように接続されている。選択用TFT素子Qaを導通状態(ON状態)として、ソース配線SjからコンデンサCaへ電圧を入力することで、駆動用TFT素子Qbの導通抵抗を制御し、有機EL素子ELaに流れる電流を制御し、画素の輝度を制御する構成である。また、その後、選択用TFT素子Qaを非導通状態(OFF状態)として、コンデンサCaの電位を保持し、駆動用TFT素子Qbの導通状態を保持し、画素の輝度を維持する構成である。
20

【0006】

この構成で中間調を表示する状態とする場合、同一の電圧をコンデンサCaへ印加しても、駆動用TFT素子Qbの閾値特性・移動度がバラツけば、有機EL素子ELaを流れる電流値がバラツキ、画素の輝度がバラツくという問題を抱える。

【0007】

そこで、非特許文献2で示された画素回路構成を図24に示す。図24の回路構成では、駆動用TFT素子Qbと有機EL素子ELaとの間にスイッチ用TFT素子Qcを配置し、駆動用TFT素子Qbとスイッチ用TFT素子Qcとの接続点と、ソース配線Sjとの間に選択用TFT素子Qaを接続し、スイッチ用TFT素子QcとコンデンサCaの間にスイッチ用TFT素子Qdを配置している。スイッチ用TFT素子Qc・Qdのゲートはゲート配線Giに接続されている。
30

【0008】

この構成では、スイッチ用TFT素子QcをOFF状態として、選択用TFT素子Qaとスイッチ用TFT素子QdをON状態とすることで、電源配線Vrefよりソース配線Sjへ電流が流れる。この電流量を図示しないソースドライブ回路の電流源で制御することで、駆動用TFT素子Qbのゲート電圧が、駆動用TFT素子Qbの閾値電圧・移動度に依らず、駆動用TFT素子Qbにそのソースドライブ回路で規定された電流量が流れるような電圧に設定される。そして、選択用TFT素子Qaとスイッチ用TFT素子QdとをOFF状態として、スイッチ用TFT素子QcをON状態とすることで、コンデンサCaにこの時の電位が保持され、駆動用TFT素子Qbから設定された電流量が有機EL素子ELaへ流れるよう制御される。
40

【0009】

また、非特許文献3や特許文献1で示された画素回路構成を図25に示す。図25の回路構成では、駆動用TFT素子Qbと電源配線Vrefとの間にスイッチ用TFT素子Qgが、駆動用TFT素子Qbとソース配線Sjの間にスイッチ用TFT素子Qfが、有機EL素子ELaとコンデンサCaとの間に選択用TFT素子Qeが配置されている。スイッチ用TFT素子Qf・Qgおよび選択用TFT素子Qeの各ゲートはゲート配線Giに接
50

続されている。

【0010】

この構成では、スイッチ用TFT素子Q_gをOFF状態として、選択用TFT素子Q_eとスイッチ用TFT素子Q_fとをON状態とすることで、ソース配線S_jより有機EL素子EL_aへ電流が流れる。この電流量を図示しないソースドライブ回路の電流ドライブ回路P_jで制御することで、駆動用TFT素子Q_bのゲート端子電圧が、駆動用TFT素子Q_bの閾値電圧・移動度に依らず、駆動用TFT素子Q_bにそのソースドライブ回路で規定された電流量が流れるような電圧に設定される。そして、スイッチ用TFT素子Q_fと選択用TFT素子Q_eとをOFF状態とし、スイッチ用TFT素子Q_gをON状態とすることで、コンデンサC_aにこの時の電位が保持され、駆動用TFT素子Q_bから設定された電流量が有機EL素子EL_aに流れるよう制御される。
10

【0011】

また、非特許文献4で示された画素回路構成を図26に示す。図26の回路構成では、電源配線V_{ref}と選択用TFT素子Q_aとの間に別の駆動用TFT素子Q_iが、選択用TFT素子Q_aとコンデンサC_aとの間にはスイッチ用TFT素子Q_hが配置されている。選択用TFT素子Q_aのゲートはゲート配線G_{iA}に、スイッチ用TFT素子Q_hのゲートはゲート配線G_{iB}にそれぞれ接続されている。この構成では、駆動用TFT素子Q_b・Q_iがゲート端子を共有するカレントミラー回路を構成し、駆動用TFT素子Q_iが選択用TFT素子Q_aに接続されている。
20

【0012】

そして、選択用TFT素子Q_aとスイッチ用TFT素子Q_hとをON状態とすることで、電源配線V_{ref}からソース配線S_jへ電流を流す。この流れる電流量を図示しないソースドライブ回路の電流ドライブ回路P_jで制御することで、駆動用TFT素子Q_iのゲート端子電圧が、駆動用TFT素子Q_iの閾値電圧・移動度に依らず、駆動用TFT素子Q_iに所定の電流量が流れるような電圧に設定される。そして、スイッチ用TFT素子Q_hと選択用TFT素子Q_aとをOFF状態とすることで、コンデンサC_aにこの時の電位が保持され、駆動用TFT素子Q_bから設定された電流量が有機EL素子EL_aに流れるよう制御される。

【0013】

なお、CGシリコンTFTの構成に関しては、非特許文献5等で発表されている。また、CGシリコンTFTプロセスに関しては、非特許文献6等で発表されている。また、有機EL素子の構成については、非特許文献7等で発表されている。
30

【0014】

【特許文献1】

特表2002-514320号公報

公表日 2002年5月14日

【0015】

【非特許文献1】

"Active Matrix Addressing of Polymer Light Emitting Diodes Using Low Temperature Poly Silicon TFTs", AM-LCD 2000 pp 249-252
40

【0016】

【非特許文献2】

"Active Matrix PolyLED Displays", IDW'00 pp 235-238

【0017】

【非特許文献3】

"Improved Polysilicon TFT Drivers for Light Emitting Polymer Displays", IDW'00 pp 243-246
50

【0018】

【非特許文献4】

"13.0-inch AM-OLED Display with Top Emitting Structure and Adaptive Current Mode"

Programmed Pixel Circuit(TAC)", SID'01 pp.384-386

【0019】

【非特許文献5】

SID'00 Digest pp.924-927の "4.0-in. TFT-OLED Displays and a Novel Digital Driving Method" 半導体エネルギー研究所

【0020】

【非特許文献6】

AM-LCD 2000 pp.25-28の "Continuous Grain Silicon Technology and Its Applications for Active Matrix Display" 半導体エネルギー研究所

10

【0021】

【非特許文献7】

AM-LCD '01 pp.211-214の "Polymer Light-Emitting Diodes for use in Flatpanel Display"

【0022】

【発明が解決しようとする課題】

しかしながら、ソースドライブ回路をTFTで形成する場合、ソース配線毎に電流源を設けると、その電流源を構成するTFT素子の閾値特性・移動度のバラツキにより、同じ電流を流すつもりでも、ソース配線毎に電流量がばらついてしまう。即ち、ソースドライブ回路を構成するTFT素子自体の特性がばらつくので、その出力電流・電圧がバラツキ、輝度ムラが目立つのである。

20

【0023】

上記特許文献1や、非特許文献2ないし4では、ソース配線Sjを駆動するためのソースドライブ回路の電流ドライブ回路Pjをどのように構成するか明示されていない。

【0024】

そこで、パネル毎に（またはRGB各色毎に）1つの電流ドライブ回路Pjを設ける方法が考えられるが、このような構成を取ると、電流ドライブ回路Pjに必要とされる出力電流の周波数が高くなり、現状のTFT特性では構成することが困難である。

【0025】

そこで、ソースドライブ回路をTFTで構成せず単結晶ICで構成する方法が考えられるが、これではドライブ回路も同時に形成できるという、低温ポリシリコンTFTやCGシリコンTFTの特長が生かせなくなる。

30

【0026】

本発明は上記課題を解決するためになされたものであり、電気光学素子の電流駆動用のドライブ回路を、低温ポリシリコンTFTやCGシリコンTFTで構成することを可能としながら各ソース配線間で電流値がばらつくのを防止することができる表示装置を提供することを目的とする。

【0027】

【課題を解決するための手段】

本発明の表示装置は、上記課題を解決するために、第1の配線と第2の配線とが交差する各領域に設けられた、電流駆動型の電気光学素子を有する画素と、上記第2の配線の電位状態によって上記画素が駆動制御可能となる駆動制御可能期間に上記第1の配線を介して上記画素を駆動制御するドライブ回路とを備えた表示装置において、1つの定電流源を備え、上記ドライブ回路は、上記電気光学素子を電流駆動するための駆動電流を生成して上記駆動制御可能期間に上記第1の配線を介して上記画素に伝達することにより上記画素を駆動制御し、各上記画素に対して上記駆動制御可能期間外に上記定電流源から出力される定電流を用いて上記ドライブ回路内部に上記駆動電流が流れる回路状態を生成して保持し、上記駆動制御可能期間に、保持した上記回路状態で上記駆動電流を生成することを特徴としている。

40

【0028】

上記の発明によれば、ドライブ回路は、画素の駆動制御可能期間外に1つの定電流源から

50

出力される定電流を用いて、ドライブ回路内部に電気光学素子の駆動電流が流れる回路状態を生成してこれを保持する。ドライブ回路はこの動作を各画素に対して行うが、ドライブ回路は各画素に共通の定電流源を用いるため、上記ドライブ回路の出力特性をその定電流値でバラツキが少なくなるよう設定できる。その結果、各画素に対して設定する駆動電流に正確に対応した回路状態を保持することになる。そして、ドライブ回路は、第2の配線の電位状態によって駆動制御可能期間となった画素に対して、保持した回路状態で駆動電流を生成し、第1の配線を介して伝達することにより、画素を駆動制御する。駆動電流が伝達された画素では、この駆動電流が電気光学素子に流れ表示を行う。

【0029】

また、上記のドライブ回路では、パネル毎にまたはRGB各色毎に1つの電流ドライブ回路を設けて駆動制御時に画素ごとに電流を切り替えていくような構成とは異なって、上記駆動制御可能期間外に1つの定電流源を用いて第1の配線に対応するドライブ回路の駆動電流の設定を行い、そのドライブ回路を用いて画素の電流値を設定しているため、出力電流の周波数が高くなることはない。従って、低温ポリシリコンTFTやCGシリコンTFTなどのTFTを用いて構成することができる。10

【0030】

この結果、電気光学素子の電流駆動用のドライブ回路を、低温ポリシリコンTFTやCGシリコンTFTで構成することを可能としながら各ソース配線間で電流値がばらつくのを防止することができる表示装置を提供することができる。

【0031】

さらに本発明の表示装置は、上記課題を解決するために、上記電気光学素子に上記駆動電流が流れる電流駆動期間は、一定期間内に設けられた複数の期間の選択的な組み合わせにより長さが決定されることを特徴としている。20

【0032】

上記の発明によれば、一定期間内に設けられた複数の期間から選択的に組み合わせることにより電流駆動期間の長さを決定して電気光学素子を電流駆動するので、一定期間において、ドライブ回路から伝達される駆動電流値で定められる階調数よりも多階調で表示を行うことができる。

【0033】

さらに本発明の表示装置は、上記課題を解決するために、上記画素は、上記電気光学素子の電流駆動時に上記駆動電流を生成して上記電気光学素子に流す第1のアクティブ素子と、上記駆動制御可能期間に上記ドライブ回路から伝達された上記駆動電流を上記電流駆動時に上記第1のアクティブ素子に生成させるために上記第1のアクティブ素子に印加する電圧条件を保持する第1のコンデンサと、上記駆動制御可能期間に、導通状態となることにより上記ドライブ回路から上記第1のアクティブ素子に上記駆動電流を伝達させて上記第1のアクティブ素子に上記電圧条件を生成させ、上記電圧条件の生成後に遮断状態となることにより上記電圧条件を上記第1のコンデンサに保持させる第2のアクティブ素子と、導通状態となることにより上記画素を上記第1の配線に接続して上記駆動制御可能期間を開始させ、上記第1のコンデンサによる上記電圧条件を上記第1のコンデンサに保持させる第1のスイッチング素子とを備えていることを特徴としている。30

【0034】

上記の発明によれば、第1のスイッチング素子が導通状態になると、第1のスイッチング素子は画素を第1の配線に接続し、駆動制御可能期間が開始する。この駆動制御可能期間に、第2のアクティブ素子が導通状態となることにより、ドライブ回路から第1のアクティブ素子に駆動電流が伝達され、電気光学素子の電流駆動時に電気光学素子に流す駆動電流を第1のアクティブ素子に生成させるために第1のアクティブ素子に印加する電圧条件が生成される。そして、第2のアクティブ素子が遮断状態となることにより、生成された電圧条件は第1のコンデンサに保持される。さらに、この後に第1のスイッチング素子が遮断状態となることにより、画素は第1の配線から遮断されて駆動制御可能期間が終了し、第1のコンデンサが保持した電圧条件で第1のアクティブ素子から電気光学素子に駆動4050

電流が流れる電流駆動が可能になる。

【0035】

以上により、ドライブ回路から伝達された駆動電流で電気光学素子を駆動することができる。

【0036】

さらに本発明の表示装置は、上記課題を解決するために、上記第1のアクティブ素子による上記電圧条件の生成に必要な電位を、上記第1のスイッチング素子を介さずに、導通状態にある上記第2のアクティブ素子を介して上記第1のアクティブ素子に伝達するように設けられた第3の配線を備えており、上記第1のスイッチング素子は、導通状態となることによって、上記第1の配線を上記第1のアクティブ素子の電流出力端子に接続することを特徴としている。10

【0037】

上記の発明によれば、第2のアクティブ素子が導通状態にあるときには第3の配線から、第1のスイッチング素子を介さずに第2のアクティブ素子を介して、第1のアクティブ素子による電圧条件の生成に必要な電位が第1のアクティブ素子に伝達される。そして、第1のスイッチング素子が導通状態となることによって、第1の配線は第1のアクティブ素子の電流出力端子に接続される。従って、電気光学素子が閾値電圧を有するダイオード型の電気光学素子であってこれを暗輝度状態にしたいとき、第3の配線から第2のアクティブ素子を介して第1のアクティブ素子に第1のアクティブ素子が遮断状態となるような電位を伝達し、第1の配線から第1のスイッチング素子を介して第1のアクティブ素子の電流出力端子に、電気光学素子に印加される電圧が閾値電圧以下となるような電位を伝達することにより、電気光学素子を完全に暗状態とすることができる。20

【0038】

さらに本発明の表示装置は、上記課題を解決するために、上記第1のスイッチング素子の導通状態および遮断状態を決める電位を上記第1のスイッチング素子に伝達する第4の配線を備えていることを特徴としている。

【0039】

上記の発明によれば、第2のアクティブ素子の導通状態および遮断状態を決める電位を第2のアクティブ素子に伝達するのに例えば第2の配線を用いるようにし、第4の配線が第1のスイッチング素子の導通状態および遮断状態を決める電位を第1のスイッチング素子に伝達する。従って、第1のコンデンサが電圧条件を保持するまでに、生成された電圧が電圧条件から第1のスイッチング素子のスイッチングによって変化してしまうという悪影響を回避し、第1のコンデンサが電圧条件を保持した後に第1のスイッチング素子を遮断状態とすることを確実に行うことができる。30

【0040】

また、上記電圧条件を第1のコンデンサに保持させた後、第1の配線とドライブ回路との間の接続を切り、第1のスイッチング素子を遮断状態とする。

【0041】

その後、第1のアクティブ素子を遮断状態とする場合、第1の配線をOFF電位に接続する。また、第1のアクティブ素子を導通状態のままとする場合、第1の配線とドライブ回路との間をオープン状態のままとする。40

その後、第2のアクティブ素子を遮断状態とする。

【0042】

この場合、電気光学素子へ電流を流すことなく第1のアクティブ素子を遮断状態とすることができます。

【0043】

また、第4の配線を備えていることによって、第2のアクティブ素子の状態とは独立に第1のスイッチング素子の導通状態と遮断状態とを切り替えることができるので、電気光学素子の電流駆動を行っている最中に第1のアクティブ素子を遮断状態とするような電位を第2のアクティブ素子に伝達することにより、電気光学素子の電流駆動期間の長さを制御50

することができる。

【0044】

さらに本発明の表示装置は、上記課題を解決するために、上記第1のアクティブ素子から上記電気光学素子へ上記駆動電流が流れる経路の導通および遮断を行う第2のスイッチング素子を備えていることを特徴としている。

【0045】

上記の発明によれば、第1のアクティブ素子から電気光学素子へ駆動電流が流れる経路を、第2のスイッチング素子によって導通および遮断することができるので、電気光学素子が閾値電圧を有するダイオード型の素子でなくても容易に電流駆動を行うことができる。

【0046】

また、本発明の表示装置の表示装置は、上記課題を解決するために、第1の配線と第2の配線とが交差する各領域に設けられた、電流駆動型の電気光学素子を有する画素を、上記第2の配線の電位状態によって上記画素が駆動制御可能となる駆動制御可能期間に上記第1の配線を介して駆動制御するドライブ回路であって、上記電気光学素子を電流駆動するための駆動電流を生成して上記駆動制御可能期間に上記第1の配線を介して上記画素に伝達することにより上記画素を駆動制御するドライブ回路を備えた表示装置であり、上記ドライブ回路は、各上記画素に対して上記駆動制御可能期間外に1つの定電流源から出力される定電流を用いて上記ドライブ回路内部に上記駆動電流が流れる回路状態を生成して保持し、上記駆動制御可能期間に、保持した上記回路状態で上記駆動電流を生成することを特徴としている。
10

【0047】

上記の発明によれば、上記ドライブ回路の駆動電流を1つの定電流源を用いて設定するので、上記ドライブ回路の出力特性をその定電流値でバラツキが少なくなるよう設定できる。その結果上記ドライブ回路の出力電流のバラツキを抑えられるので好ましい。

【0048】

この結果、電気光学素子の電流駆動用のドライブ回路を、低温ポリシリコンTFTやCGシリコンTFTで構成することを可能としながら各ソース配線間で電流値がばらつくのを防止することができる表示装置を提供することができる。

【0049】

また、本発明の表示装置は、上記課題を解決するために、第1の配線と第2の配線とが交差する各領域に電気光学素子を有する表示装置であって、上記電気光学素子と第1のアクティブ素子とを直列に配置し、上記第1のアクティブ素子の制御端子に第1のコンデンサを接続し、上記第1の配線と上記第1のコンデンサとの間に第2のアクティブ素子を配置し、上記第1のアクティブ素子の電流出力端子と上記第1の配線との間に第1のスイッチング素子を配置し、上記第1のスイッチング素子の制御端子に第4の配線を接続したことを特徴としている。
30

【0050】

上記の発明によれば、第1のスイッチング素子と第2のアクティブ素子とを導通状態とし、第1のアクティブ素子から上記第1のスイッチング素子を通して第1の配線へ所定電流を流すことで上記第1のコンデンサへ保持する電位を生成できる。また、上記第2のアクティブ素子を非導通状態とすることで、上記電位を保持できる。
40

【0051】

従って、電気光学素子の電流駆動用ドライブ回路に、1つの定電流源から出力される定電流を用いて上記所定電流を流すようなドライブ回路を用いれば、該ドライブ回路の出力特性をその定電流値でバラツキが少なくなるよう設定できる。その結果、電気光学素子の電流駆動用のドライブ回路を、低温ポリシリコンTFTやCGシリコンTFTで構成することを可能としながら各ソース配線間で電流値がばらつくのを防止することができる表示装置を提供することができる。

【0052】

また、本発明の表示装置は、上記課題を解決するために、第1の配線と第2の配線とが交
50

差する各領域に電気光学素子を有する表示装置であって、上記第1の配線と並行して第3の配線を配置し、上記電気光学素子と第1のアクティブ素子とを直列に配置し、上記第1のアクティブ素子の制御端子に第1のコンデンサを接続し、上記第3の配線と上記第1のコンデンサとの間に第2のアクティブ素子を配置し、上記第1のアクティブ素子の電流出力端子と上記第1の配線との間に第1のスイッチング素子を配置したことを特徴としている。

【0053】

上記の発明によれば、第1の配線と第3の配線とを繋ぎ、第1のスイッチング素子と第2のアクティブ素子とを導通状態とし、第1のアクティブ素子から上記第1のスイッチング素子を通して第1の配線へ所定電流を流すことで上記第1のコンデンサへ保持する電位を生成できる。
10

【0054】

従って、電気光学素子の電流駆動用のドライブ回路に、1つの定電流源から出力される定電流を用いて上記所定電流を流すようなドライブ回路を用いれば、該ドライブ回路の出力特性をその定電流値でバラツキが少なくなるよう設定できる。その結果、電気光学素子の電流駆動用のドライブ回路を、低温ポリシリコンTFTやCGシリコンTFTで構成することを可能としながら各ソース配線間で電流値がばらつくのを防止することができる表示装置を提供することができる。

【0055】

また、第1の配線と第3の配線とを分離し、第1のスイッチング素子と第2のアクティブ素子とを導通状態とし、第3の配線に所定の電位を印加することで上記第1のアクティブ素子を非導通状態とできる。この結果、第1のアクティブ素子の非導通状態での電流値を充分小さくできるので好ましい。
20

【0056】

また、上記表示装置は、特に、上記画素回路構成で、上記電気光学素子と第1のアクティブ素子との間に第2のスイッチング素子を配置した表示装置である。

【0057】

上記構成によれば、電気光学素子の特性によらず、上記第1のアクティブ素子の出力電流を第1の配線へ導けるので、上記第1の配線と第3の配線との間を導通状態としたとき、第1のアクティブ素子が所望の電流を流すよう、その電流制御端子電位を設定できる。その結果、第1のアクティブ素子の出力電流のバラツキを抑えられて好ましい。
30

【0058】

また、第1の配線と第3の配線との間を非導通状態とし、第3の配線へ所定の電圧を印加することで第1のアクティブ素子を非導通状態とできる。この結果、第1のアクティブ素子の非導通状態での電流値を充分小さくできるので好ましい。

【0059】

また、上記表示装置は、特に、上記第2のスイッチング素子の制御端子に第4の配線を接続した表示装置である。

【0060】

上記構成により、第4の配線の電位状態により、第1のアクティブ素子の導通および遮断とは独立に第2のスイッチング素子を導通および遮断することができるので、第1のアクティブ素子の制御端子電位を保持させたまま、電気光学素子の消光動作を行うことができる。
40

【0061】

また、上記表示装置は、特に、上記第1のスイッチング素子と第2のアクティブ素子との導通状態を制御する配線を異ならせた表示装置である。

【0062】

上記構成により、上記第2のアクティブ素子と第1のスイッチング素子を独立に制御できるので、上記第2のアクティブ素子を非導通状態とした後、上記第1のスイッチング素子を非導通状態とできる。その結果、上記第1のアクティブ素子が所定電流を流している状
50

態でその電位を上記第1のコンデンサへ保持でき、その出力電流値のバラツキを抑制できるので好ましい。

【0063】

また、上記表示装置用にドライブ回路の出力端には、第3の配線に第2のコンデンサを接続し、第3の配線と第1の電位配線との間に第3のスイッチング素子を配置し、上記第2のコンデンサと第1の配線との間に第4のスイッチング素子を配置し、上記第2のコンデンサと第2の電位配線との間に第5のスイッチング素子を配置した構成を用いることが好ましい。

【0064】

上記構成によれば、第2のコンデンサへ電荷を貯めることで、第1の配線と第3の配線との間に電位差を発生できる。その結果、上記第1のアクティブ素子へ所望の電流を流すときの第3配線の電位を適切に設定できる。その結果、上記第1のアクティブ素子の出力電流のバラツキを抑えられるので好ましい。
10

【0065】

【発明の実施の形態】

以下、種々の実施の形態を挙げて本発明の詳細な説明を行う。

【0066】

本発明に用いられる各スイッチング素子は低温ポリシリコンTFTやCGシリコンTFTなどで構成できるが、以下の実施の形態ではCGシリコンTFTを用いることとする。
20

【0067】

なお、このCGシリコンTFTの構成に関しては、非特許文献5等で発表されているので、ここではその詳細な説明は省略する。

【0068】

また、CGシリコンTFTプロセスに関しては、非特許文献6等で発表されているので、ここではその詳細な説明は省略する。

【0069】

また、以下の実施の形態で用いる電気光学素子である有機EL素子の構成についても、非特許文献7等で発表されているので、ここではその詳細な説明は省略する。

【0070】

【実施の形態1】

本発明の一実施の形態について、図1ないし図4に基づいて説明すれば以下の通りである。

【0071】

本実施の形態では特に本発明の表示装置が備えるドライブ回路の構成及び駆動方法、画素構成について説明する。
30

【0072】

図1に、本実施の形態の表示装置の一部を示す。これは該表示装置のドライブ回路の一部と画素の一部とを、それぞれの基本構成として示した図である。

【0073】

図1では $m \times n$ のマトリックス状に配置された画素 $A_{i,j}$ のうち2つの画素のみ描かれている。しかし、実際の表示装置はこの画素 $A_{i,j}$ が縦にm個、横にn個配置されている。また、カラー表示装置では、1つの画素が3つのドットから構成され、各々のドットに電気光学素子とその画素回路が配置されるが、図1では説明を簡単にするために、1つの画素が1つのドットから構成された単色表示装置を示す。
40

【0074】

図1の画素 $A_{i,j}$ の回路構成は、全実施の形態で述べる画素構成のうちの第1の画素回路構成である。各画素 $A_{i,j}$ はソース配線(第1の配線) S_j とゲート配線(第2の配線) G_i とが交差する領域に設けられ、それぞれ電気光学素子EL1、n型のスイッチ用TFT(第1のスイッチング素子)Q1、n型の選択用TFT(第2のアクティブ素子)Q3、p型の電流出力用TFT(第1のアクティブ素子)Q4、およびコンデンサ(第1のコ
50

シデンサ) C 1とを備えている。

【0075】

電気光学素子 E L 1はダイオード型の電流駆動型電気光学素子であり、陰極は電源端子 V c o mに接続されている。電流出力用 T F T Q 4は、電源配線 V r e fと電源端子 V c o mとの間に電気光学素子 E L 1と直列に接続されており、コンデンサ C 1はそのゲート電圧を保持するように電流出力用 T F T Q 4に接続されている。そのコンデンサ C 1の電圧は選択用 T F T Q 3により設定される。選択用 T F T Q 3はゲート端子がゲート配線(第2の配線) G iに接続され、ソース端子・ドレイン端子は電流出力用 T F T Q 4のゲート端子と、電流出力用 T F T Q 4と電気光学素子 E L 1との接続点とをつなぐように接続されている。選択用 T F T Q 3の導通状態および遮断状態はゲート配線 G iの電位状態で決定される。
10

【0076】

電気光学素子 E L 1は陽極側で電流出力用 T F T Q 4と直列に接続され、スイッチ用 T F T Q 1はそのソース端子・ドレイン端子が上記接続点とソース配線 S jとを接続するように配置されている。そして、スイッチ用 T F T Q 1のゲート端子は制御線 W iに接続されている。スイッチ用 T F T Q 1の導通状態および遮断状態は制御線 W iの電位状態で決定される。

【0077】

画素 A i jは、制御線 W iの電位状態がハイになってスイッチ用 T F T Q 1が導通状態となることにより、電流ドライブ回路 P jによるソース配線 S jを介した駆動制御が可能な駆動制御可能期間となる。また、制御線 W iの電位状態がローになってスイッチ用 T F T Q 1が遮断状態となることにより、電流ドライブ回路 P jによるソース配線 S jを介した駆動制御が不可能な駆動制御可能期間外となる。
20

【0078】

次に、ドライブ回路の一部である図1の電流ドライブ回路 P jの構成について説明する。電流ドライブ回路 P jは、電気光学素子 E L 1を電流駆動するための駆動電流を生成して画素 A i jの駆動制御可能期間にソース配線 S jを介して画素 A i jに伝達することにより画素 A i jを駆動制御する。

【0079】

電流ドライブ回路 P jは電流源回路 B jを備えている。電流源回路 B jは、n型の T F T Q 6・Q 7・Q 8、n型の電流設定用 T F T Q 9、およびコンデンサ C 2を備えている。電流出力用 T F T Q 9は、T F T Q 6を介してソース配線 S jに接続されているとともに、T F T Q 7を介して外部の定電流源 I c o nに接続されている。T F T Q 6のゲート端子は制御配線 D jに接続され、制御配線 D jの電位によってT F T Q 6の導通状態および遮断状態が決定される。電流設定用 T F T Q 9のソース端子は G N Dに接続されている。T F T Q 7のゲート端子は制御配線 L jに接続され、制御配線 L jの電位によってT F T Q 7の導通状態および遮断状態が決定される。
30

【0080】

また、コンデンサ C 2は電流設定用 T F T Q 9のゲート端子とソース端子との間に接続されており、その端子間電圧が電流設定用 T F T Q 9のゲート電圧となる。T F T Q 8は電流設定用 T F T Q 9のゲート端子を定電流源 I c o nに接続するか否かを決めるスイッチ用素子である。T F T Q 8のゲート端子は制御配線 R jに接続され、制御配線 R jの電位によってT F T Q 8の導通状態および遮断状態が決定される。
40

【0081】

また、電流ドライブ回路 P jはソース配線 S jを電源配線 V Hに接続するか否かを決めるp型の T F T Q 5を備えている。T F T Q 5のゲート端子は制御配線 D jに接続されている。

【0082】

上記の構成の電流ドライブ回路 P jと同一の構成のドライブ回路が、ソース配線ごとに電流ドライブ回路 P j + 1、P j + 2、…と備えられている。ただし、定電流源 I c o nは
50

、各ドライブ回路に共通に1つだけ設けられている。

【0083】

図1のドライブ回路を構成する電流ドライブ回路P_jは、1つの電流源回路B_jから1つの電流ドライブ回路P_jが構成されているので、その出力電流は（外部定電流源I_{con}により設定された電流値を取るか、OFF電位V_Hを取るかの）2つの状態を持つ。

【0084】

そして、この電流ドライブ回路P_jはこのON状態の電流値でバラツキが最小となるよう電流設定用TFTQ9のゲート幅や長さを設定すればいいので、その出力電流値のバラツキは少なくできる。

【0085】

この電流ドライブ回路P_jの出力電流レベルが2値レベルを取るとき、多階調レベルを得るために駆動方法を図2に示す。

【0086】

即ち、図2では、1つのフレーム期間を3つのフィールド期間に分け、各々のフィールド期間の長さを1:2:4の比に設定する。そして各々のフィールド期間の最初に各画素A_i_jの電流出力用TFTQ4の設定動作を行う。その結果、1フレーム期間の間に、各画素A_i_jの電気光学素子EL1を流れる電流は3回変化可能であり、各々の表示期間の比率が1:2:4となるので、8つの異なる電荷総量が与えられ、8階調表示が可能となる。D_jおよびG1~G8の欄の1、2、3はそれぞれ、1ビット目、2ビット目、および3ビット目のデータに対応して駆動されることを示している。

10

20

【0087】

そして、図2に示すように、第3フィールドの表示状態を設定した後、各電流ドライブ回路P_jの電流値を順番に再設定する。その結果、次のフレームにおいても各電流ドライブ回路P_jから等しい電流値が出力できるようになる。なお、この図2のタイミングチャートは、表示装置の画素数m×nは8×16の場合に相当する。

【0088】

図2において1) D_j, L_j, R_jの欄に「1」~「16」の数字が入っているのは、この各電流ドライブ回路P_jの電流設定動作を行うことを示しており、その時のタイミングチャートを図3に示す。

30

【0089】

この電流設定モードでは、最初に電流ドライブ回路P_jからソース配線S_jへ電流が流れ出ないよう、制御配線D_jをロー電位として、電流出力用TFTでもある電流設定用TFTQ9とソース配線S_jとを繋ぐn型TFTQ6をOFF状態とする。そして、この電流ドライブ回路P_jの電流設定用TFTQ9（兼電流出力用TFT）のみに定電流源I_{con}から電流が流れるよう、この電流ドライブ回路P_jに対応する制御配線L_j, R_jのみをハイ状態とし、他の電流ドライブ回路P_k (j ≠ k) に対応する制御配線L_k, R_kをロー状態とする。

【0090】

このとき、電流ドライブ回路P_jの電流設定用TFTQ9（兼電流出力用TFT）のソース端子と定電流源I_{con}を結ぶn型TFTQ7がON状態となり、コンデンサC2と定電流源I_{con}とを結ぶn型TFTQ8もON状態となり、電流設定用TFTQ9（兼電流出力用TFT）へ定電流源I_{con}から定電流が流れ、その電流値によりコンデンサC2の電圧が設定される。

40

【0091】

その後、制御配線R_jをロー状態とすることでn型TFTQ8を非導通状態として、コンデンサC2の電圧を保持し、制御配線L_jをロー状態とすることで電流ドライブ回路P_jの電流設定を終了し、次の電流ドライブ回路P_{j+1}の電流設定を行う。その結果、電流ドライブ回路P_jの電流出力用TFTQ9（兼電流設定用TFT）の出力は、その電流出力用TFTQ9の特性バラツキに依らず、定電流源I_{con}により設定された電流値が流れよう設定される。

50

【0092】

このようにして、電流ドライブ回路P_jは、画素A_{i,j}に対して駆動制御可能期間外に定電流源I_{con}から出力される定電流を用いて、ドライブ回路P_j内部に電気光学素子E_{L1}の駆動電流が流れる回路状態を生成して保持し、駆動制御可能期間に、保持した上記回路状態で上記駆動電流を生成する。そして、画素A_{i,j}は、電気光学素子E_{L1}に駆動電流が流れる電流駆動期間の長さに対応して表示状態が決定される。電気光学素子E_{L1}に駆動電流が流れる電流駆動期間は、一定期間内に設けられた3つの期間の選択的な組み合わせにより長さが決定される。

【0093】

図2で1) D_j, L_j, R_jの欄に「1」が示されているタイミングが図3の時間0～T_aに相当し、電流ドライブ回路P₁に対して上記設定動作を行う時間である。図2で1) D_j, L_j, R_jの欄に「2」が示されているタイミングが図3の時間T_a～2T_aに相当し、電流ドライブ回路P₂に対して上記設定動作を行う時間である。なお、1) D_j, L_j, R_jの欄がブランクのときは、どの電流ドライブ回路P_jに対しても、上記設定動作を行わない。¹⁰

【0094】

また、図2において3) G_i, W_iの欄に「1」～「8」の数字が入っているのが、この電流ドライブ回路P_jを用いて各画素A_{i,j}の電流を設定する動作であり、その時のタイミングチャートを図4に示す。

【0095】

この画素選択動作では、各選択期間の最初にデータ信号D_jを用いて、ソース配線S_jを上記電流出力用TFTQ9に繋ぐか(図4の1), 2)では「H」状態で示す)、OFF電位V_Hに繋ぐか(図4の1), 2)では「L」状態で示す)を設定する。次に制御線W_iをハイ状態とし、各画素A_{i,j}のスイッチ用TFTQ1をON状態とし、電流出力用TFTQ4からソース配線S_jへ電流が流れるよう設定する。また、ゲート配線G_iをハイ状態とし、選択用TFTQ3をON状態とし、電流出力用TFTQ4のゲート端子とソース配線S_jとを導通させる。²⁰

【0096】

このとき、データ信号D_jがロー状態であれば、ソース配線S_jはOFF電位V_Hに繋がるので、電流出力用TFTQ4のゲート端子の電位は、電流出力用TFTQ4がOFF状態となるよう設定される。そして、この後、ゲート配線G_iがロー状態となり、選択用TFTQ3がOFF状態となり、電流出力用TFTQ4のゲート電位として、このOFF電位V_Hが保持される。³⁰

【0097】

その後、制御線W_iがロー状態となって、各画素A_{i,j}のスイッチ用TFTQ1がOFF状態となり、電流出力用TFTQ4から電気光学素子E_{L1}へ電流が流れることができるよう設定される。しかしこの場合、電流出力用TFTQ4のゲート電位がOFF電位なので、電気光学素子E_{L1}に電流が流れない状態が保持される。

【0098】

また、データ信号D_jがハイ状態であれば、ソース配線S_jは電流源回路B_jに繋がるので、電流出力用TFTQ4からソース配線S_jを通して、電流源回路B_jへ電流が流れれる。このとき、ソース配線S_j電位は、電流出力用TFTQ4(兼電流設定用TFT)の電流値が、電流源回路B_jの電流値と一致する条件で安定化する。その後、ゲート配線G_iがロー状態となって、選択用TFTQ3がOFF状態となれば、電流出力用TFTQ4のゲート端子に付けられたコンデンサC₁に、この電圧が保持される。⁴⁰

【0099】

その後、制御線W_iがロー状態となって、電流出力用TFTQ4から電気光学素子E_{L1}へ電流が流れることができよう設定される。そして、電流源回路B_jにより設定された電流値が電流出力用TFTQ4から電気光学素子E_{L1}へ流れれる。

【0100】

このように、電流出力用 TFTQ4 は、電気光学素子 EL1 の電流駆動時に駆動電流を生成して電気光学素子 EL1 に流す。コンデンサ C1 は、駆動制御可能期間にドライブ回路 Pj から伝達された駆動電流を電気光学素子 EL1 の電流駆動時に電流出力用 TFTQ4 に生成させるために電流出力用 TFTQ4 に印加する電圧条件を保持する。選択用 TFTQ3 は、駆動制御可能期間に、導通状態となることによりドライブ回路 Pj から電流出力用 TFTQ4 に駆動電流を伝達させて電流出力用 TFTQ4 に上記電圧条件を生成させ、上記電圧条件の生成後に遮断状態となることにより上記電圧条件をコンデンサ C1 に保持させる。スイッチ用 TFTQ1 は、導通状態となることにより画素 Ai j をソース配線 Sj に接続して駆動制御可能期間を開始させ、コンデンサ C1 による上記電圧条件の保持後に遮断状態となることにより画素 Ai j をソース配線 Sj から遮断して駆動制御可能期間を終了させて電気光学素子 EL1 の電流駆動を可能にする。
10

【0101】

なお、上記例では、ドライブ回路 Pj から電流出力用 TFTQ4 に駆動電流を伝達しているのはスイッチ用 TFTQ1 および選択用 TFTQ3 がともに導通している期間であり、選択用 TFTQ3 がゲート配線 Gi の電位状態によって導通する期間を画素 Ai j の駆動制御可能期間と見なすこともできる。

【0102】

なお、電流源回路 Bj により設定された電流値が電流出力用 TFTQ4 から電気光学素子 EL1 へ流れるとき、電流出力用 TFTQ4 の出力端子電位は、電気光学素子 EL1 を流れる電流と、電流出力用 TFTQ4 を流れる電流とが等しくなるよう上昇する。
20

【0103】

この制御線 Wi がハイ状態からロー状態になるとき、電流出力用 TFTQ4 からソース配線 Sj へ流れる電流量は減少していく。しかし、電流ドライブ回路 Pj がソース配線 Sj から流れ出る電流量は一定値を保とうとするので、ソース配線 Sj の電位は低下していく。一方、電流出力用 TFTQ4 の出力端子電位は上昇する。もし、この制御線 Wi の変化タイミングと前記ゲート配線 Gi の変化タイミングとが同時であっても、スイッチ用 TFTQ1 と選択用 TFTQ3 との閾値特性バラツキが小さく、スイッチ用 TFTQ1 と選択用 TFTQ3 とが同時に OFF になれば問題ない。

【0104】

しかし、スイッチ用 TFTQ1 と選択用 TFTQ3 との閾値特性バラツキ条件によっては、スイッチ用 TFTQ1 が OFF になってから選択用 TFTQ3 が OFF となり、電流出力用 TFTQ4 からコンデンサ C1 へ電荷が流れてから、コンデンサ C1 の電位が電流出力用 TFTQ4 のドレン端子から切り離される可能性がある。
30

【0105】

この場合、制御線 Wi がロー状態となったあとに電流出力用 TFTQ4 から電気光学素子 EL1 へ流れる電流値は、電流源回路 Bj により設定された電流値と一致しない。そこで、本実施の形態で用いる画素回路構成としては、このスイッチ用 TFTQ1 と選択用 TFTQ3 とが独立に制御できる構成が望ましい。

【0106】

なお、図 2 の 3) Gi, Wi の欄に「1」が示されているタイミングが図 4 の時間 0 ~ Tb に相当し、画素 A1 j に対して上記選択動作を行う時間である。図 2 の 3) Gi, Wi の欄に「2」が示されているタイミングが図 4 の時間 Tb ~ 2Tb に相当し、画素 A2 j に対して上記選択動作を行う時間である。なお、3) Gi, Wi の欄がブランクのときは、どの画素 Ai j に対しても上記選択動作を行わない。
40

【0107】

このような時間分割階調表示を行う場合も、電気光学素子が電流値に比例した輝度を与えるものであれば、電気光学素子を駆動する画素回路の出力は、電圧出力型より電流出力型の方が好ましい。

【0108】

これは、図 1 の画素回路 Ai j の電流出力用 TFTQ4 のゲート端子へ同一の電圧を印加
50

しても、周囲温度や電気光学素子の特性バラツキにより、電気光学素子を流れる電流値が変化してしまうからである。一方、電流出力用 TFTQ4へ一定電流を流すよう電流出力用 TFTQ4のゲート端子電圧を設定すれば、流れる電流値は所期の電流値なので上記問題は起こらない。

【0109】

特に、電気光学素子に短絡が起きたとき、電圧出力型では画面全体に渡る電源電圧の低下が起り、表示品位を著しく損なう。しかし、上記電流出力型では所定の電流値しか流れないので、このように極端な表示品位の低下は現れないので好ましい。

【0110】

本実施の形態によれば、電流ドライブ回路Pjでは、パネル毎にまたはRGB各色毎に1つの電流ドライブ回路を設けて駆動制御時に画素ごとに電流を切り替えていくような構成とは異なって、上記駆動制御可能期間外に1つの定電流源Iconを用いてソース配線に対応するドライブ回路の駆動電流の設定を行い、そのドライブ回路を用いて画素の電流値を設定しているため、出力電流の周波数が高くなることはない。従って、低温ポリシリコンTFTやCGシリコンTFTなどのTFTを用いて構成することができる。また、上記ドライブ回路の出力特性をその定電流値でバラツキが少なくなるよう設定できる。10

【0111】

この結果、電気光学素子EL1の電流駆動用の電流ドライブ回路Pjを、低温ポリシリコンTFTやCGシリコンTFTで構成することを可能としながら各ソース配線Sj間で電流値がばらつくのを防止することができる。20

【0112】

また、一定期間内に設けられた複数の期間から選択的に組み合わせることにより電流駆動期間の長さを決定して電気光学素子を電流駆動するので、一定期間において、ドライブ回路から伝達される駆動電流値で定められる階調数よりも多階調で表示を行うことができる。

【0113】

また、ゲート配線Giは、選択用TFTQ3の導通状態および遮断状態を決める電位を選択用TFTQ3に伝達する。また、制御配線Wiはスイッチ用TFTQ1の導通状態および遮断状態を決める電位をスイッチ用TFTQ1に伝達する。従って、コンデンサC1が電圧条件を保持するまでに、生成された電圧が電圧条件からスイッチ用TFTQ1のスイッチングによって変化してしまうという悪影響を回避し、コンデンサC1が電圧条件を保持した後にスイッチ用TFTQ1を遮断状態とすることを確実に行うことができる。30

【0114】

また、スイッチ用TFTQ1の状態とは独立に選択用TFTQ3の導通状態と遮断状態とを切り替えることができるので、電気光学素子EL1の電流駆動を行っている最中に選択用TFTQ3を導通状態とし、電流出力用TFTQ4を遮断状態とできるので、電気光学素子EL1の電流駆動期間の長さを制御することができる。

【0115】

また、電流ドライブ回路Pjは、ソース配線Sjとゲート配線Giが交差する領域に、電気光学素子EL1と電流出力用TFTQ4とコンデンサC1とを配置した表示装置の、ソース配線Sjに繋がるドライブ回路であって、電流ドライブ回路Pjを構成する電流源回路Bjが電流設定モードを持ち、前記電流設定モードにおいて電流源回路Bjへ外部から一定電流を与えることで、その電流源回路Bjの出力電流を設定し、その設定された電流値に基づき電流源回路Bjから電流を出し、上記電流を出力しないときに一定電圧(電位VH)を出力するドライブ回路構成である。40

【0116】

特に、上記電流設定モードにおいて外部から与えられた電流に従い電流源回路BjのコンデンサC2の電位が設定され、そのコンデンサC2の電位により電流源回路Bjの出力電流値が設定されるドライブ回路構成である。

【0117】

10

20

30

40

50

上記電流源回路B_jでは、電流設定モードにおいて電流設定用TFTの閾値特性・移動度と電流設定用TFTQ9を流れる電流値によりコンデンサC2の電位が決定される。また、コンデンサC2の電位と電流出力用TFTQ9の閾値特性・移動度により電流出力用TFTの出力電流が決まる。

【0118】

そこで、上記電流設定用TFTQ9と電流出力用TFTとを同一のTFTとするか、特性の近似したTFTとすることで、上記電流出力用TFTQ9の閾値特性・移動度の影響がキャンセルされ、低温ポリシリコンTFTやCGシリコンTFTなどのTFT特性バラツキの多い素子を使っても、均一な電流値を得ることができる。

【0119】

この電流源回路B_jは、上記外部から与えられた電流値に対し1対1対応した出力電流を出力するか、全く電流を出力しないかの2値状態を取る。そこで、上記電流源回路B_jを複数用いて1つの電流ドライブ回路P_jを構成し、それら電流源回路B_jの電流出力用TFTの電流出力の有無を独立に制御すれば、複数レベルの出力電流を得ることができる。また、全く電流を出力しないときには、一定電圧VHを出力するようにする。

10

【0120】

ソース配線S_jとゲート配線G_iとが交差する領域に配置した、電気光学素子EL1を流れる電流値を、上記電流ドライブ回路P_jを用いて設定することにより、本発明の課題が解決できる。

【0121】

また、電気光学素子EL1を流れる電流がないときには、一定電圧(OFF電圧)をソース配線S_jへ出力し、電気光学素子EL1へ電流が流れない状態を取らせることができる。

20

【0122】

このようなドライブ回路の電流ドライブ回路P_jを構成する電流源回路B_jは、ゲート端子にコンデンサC2を配置した電流出力用TFTQ9と、コンデンサC2と定電流源I_{con}との間を繋ぐスイッチ用TFTQ8と、電流出力用TFTQ9の出力端子と定電流源I_{con}との間を繋ぐスイッチ用TFTQ7と、電流出力用TFTQ9の出力端子とソース配線S_jとの間を繋ぐ選択用TFTQ6とから構成することができる。

30

【0123】

上記回路構成では、電流設定モードにおいて、選択された電流源回路B_jのスイッチ用TFTQ7とQ8のみをON状態(導通状態)として、その電流源回路B_jの選択用TFTQ6をOFF状態(非導通状態)とし、定電流源I_{con}から電流出力用TFTQ9とコンデンサC2へ一定電流を流すことができる。

【0124】

この状態でスイッチ用TFTQ8をOFF状態とすることで、コンデンサC2の電位は、電流出力用TFTQ9が定電流源I_{con}により設定された電流を流すよう設定される。その後、スイッチ用TFTQ8をOFF状態とし、この電流源回路B_jの電流設定モードを終了し、次の電流源回路B_{j+1}の電流設定モードに入る。

40

【0125】

上記回路構成により、前記電流出力用TFTQ9の閾値特性や移動度がバラツいていても、定電流源I_{con}により定められた電流が、電流源回路B_jより出力されるので好ましい。

【0126】

また、上記電流源回路B_jを複数個組み合わせて上記電流源回路P_jを構成することで、1つの電流源回路P_jより複数の電流レベルを出力できるので好ましい。

【0127】

また、本実施の形態では、上記の通り、電流ドライブ回路P_jの出力電流レベルは複数レベルを取ることが可能であるが、より多くの階調レベルを得る為の駆動方法は、画素A_i_jが画素電流回路Q_i_jと電気光学素子L_i_jとから構成され、その画素電流回路Q_i_j

50

が電流設定モードを持ち、この電流設定モードにおいて前記ドライブ回路の電流ドライブ回路P_jから画素電流回路Q_{i,j}へ電流値を与えることで、その画素電流回路Q_{i,j}の電流値を設定し、その画素電流設定動作を1フレーム期間に複数回行うことで、その画素A_{i,j}に対応する前記電気光学素子L_{i,j}の階調表示状態を制御する駆動方法である。

【0128】

上記駆動方法により、1フレーム期間に複数回、上記画素電流回路Q_{i,j}の出力電流値を切り替えることができるので、上記電気光学素子L_{i,j}に対し電流ドライブ回路P_jの出力電流値で定められる階調数より、より多くの階調表示を行わせることができる。

【0129】

また、本実施の形態の表示装置における画素電流回路Q_{i,j}の好ましい第1の構成は、ソース配線S_jとゲート配線G_iとが交差する領域に、電気光学素子EL1と電流出力用TFTQ4とコンデンサC1とを配置し、電流出力用TFTQ4のゲート端子にコンデンサC1を配置し、電気光学素子EL1と直列に電流出力用TFTQ4を配置し、電流出力用TFTQ4の出力電流を、電気光学素子EL1へ導くかソース配線S_jへ導くかを切り替える為のスイッチ用TFTQ1を配置し、ソース配線S_jの電位を、電流出力用TFTQ4のゲート端子へ導くか否かを切り替える選択用TFTQ3を配置した構成である。10

【0130】

上記構成においては、電気光学素子EL1はダイオード型の非対称電流特性を持つことが好ましい。20

【0131】

上記画素回路構成では、スイッチ用TFTQ1をON状態とし、ソース配線S_jへ電気光学素子EL1の閾値電圧以下となる電圧を印加することで、電流出力用TFTQ4の出力電圧を電気光学素子EL1の閾値電圧以下とし、電気光学素子EL1をOFFF状態とし、電源配線Vrefより電流出力用TFTQ4を通して、ソース配線S_jへ電流を流すことができる。

【0132】

そのとき、選択用TFTQ3を導通状態とすることで、電流出力用TFTQ4のゲート電圧を上記電流値が流れるゲート電圧V10wに設定できる。

【0133】

但し、上記電圧V10wが電気光学素子EL1の閾値電圧より大きければ、ソース配線S_jから電気光学素子EL1に電流が流れるので、暗輝度が浮いたり、低輝度レベルの階調直線性が狂う等の問題がおこる。しかし、その暗輝度の浮きは差ほど目立たないので表示可能である。30

【0134】

また、本実施の形態の表示装置では、ゲート配線G_iと並行して制御線W_iが配置され、スイッチ用TFTQ1のゲート端子と、選択用TFTQ3のゲート端子とのうち、一方が制御線W_iに接続され、他方がゲート配線G_iに接続された構成が好ましい。

【0135】

上記回路構成では、電流出力用TFTQ4からソース配線S_jへ一定電流が流れている状態で、スイッチ用TFTQ1がON状態からOFF状態へ切り替わるときに、ソース配線S_jへ供給される電流が変化するので、ソース配線S_jの電位が変化する。また、電流出力用TFTQ4の出力端子電位も変化する。40

【0136】

そこで、スイッチ用TFTQ1をON状態とし、電流出力用TFTQ4の出力電流をソース配線へ導いている間に、選択用TFTQ3をOFF状態とし、上記電位変動が起こる前にコンデンサC1の電位を確定させ、その後、スイッチ用TFTQ1をOFF状態とし、電流出力用TFTQ4の電流値を安定化させることが好ましい。

【0137】

また、上記回路構成では、選択用TFTQ3をON状態とすることで、コンデンサC1の電位をOFFF電位として、電流出力用TFTQ4の出力電流を止めることができる。50

このことにより、各データの表示時間の長さを制御できて好ましい。

【0138】

[実施の形態2]

本発明の他の実施の形態について、図5および図6に基づいて説明すれば以下の通りである。なお、前記実施の形態1で述べた構成要素と同一の機能を有する構成要素については同一の符号を付し、その説明を省略する。

【0139】

上記実施の形態1では、ドライブ回路を構成する電流ドライブ回路P_jから2値電流値を出力する場合の例を示したが、本実施の形態では電流ドライブ回路P_jから多値電流を出力する場合の例を示す。
10

【0140】

図5に示すのが、本実施の形態の表示装置における電流ドライブ回路P_jの構成の応用例である。

【0141】

図5では、1つのソース配線S_jに対するドライブ回路を構成する電流ドライブ回路P_jが、3つの電流源回路B_{j1}～B_{j3}から構成されている。各々の電流源回路B_jは、外部定電流源I_{con}により設定された電流値を出力するか否かの2つの出力状態を持つ。電流源回路B_{j1}～B_{j3}のそれぞれは、実施の形態1で述べた電流源回路B_j（図1）と同一構成である。
20

【0142】

この電流源回路B_{j1}～B_{j3}の電流設定動作は、実施の形態1の電流ドライブ回路P_jの電流設定動作と同様である。

【0143】

即ち、最初に電流源回路B_{j1}からソース配線S_jへ電流が流れないよう、制御線D_{j1}をロー状態として、電流出力用TFTQ9（兼電流設定用TFT）とソース配線S_jとを繋ぐn型TFTQ6をOFF状態とする。
30

【0144】

そして、定電流源I_{con}からこの電流源回路B_{j1}に対応する電流設定用TFTQ9（兼電流出力用TFT）のみに電流が流れるよう、この電流源回路B_{j1}に対応する制御配線L_{j1}、R_{j1}のみをハイ状態とし、他の電流ドライブ回路Pk（j≠k）に対応する電流源回路B_k及び、この電流ドライブ回路P_jの他の電流源回路B_{j2}～B_{j3}に対応する制御配線L_{j1}、R_{j1}をロー状態とする。
30

【0145】

このとき、電流源回路B_{j1}の電流設定用TFTQ9（兼電流出力用TFT）のソース端子と定電流源I_{con}とを結ぶn型TFTQ7がON状態となり、コンデンサC2と定電流源I_{con}とを結ぶn型TFTQ8もON状態となり、電流設定用TFTQ9（兼電流出力用TFT）へ定電流源I_{con}から定電流が流れ、その電流値によりコンデンサC2の電圧が設定される。

【0146】

その後、制御配線R_{j1}をロー状態とすることでn型TFTQ8を非導通状態として、コンデンサC2の電圧を保持し、制御配線L_{j1}をロー状態とすることで電流源回路B_{j1}の電流設定を終了し、次の電流源回路B_{j2}の電流設定を行う。その結果、制御配線D_{j1}がハイ状態となったとき、電流出力用TFTQ9（兼電流設定用TFT）の引き込み電流は、その電流出力用TFTQ9の特性バラツキに依らず、定電流源I_{con}により設定された電流値が流れよう設定される。
40

【0147】

なお、電流源回路B_{j2}と電流源回路B_{j3}との電流設定動作も上記電流源回路B_{j1}と同様なので、ここではその説明は省略する。

【0148】

この結果、電流ドライブ回路P_jのデータ信号D_{j1}～D_{j3}を（ロー、ロー、ロー）に
50

設定すれば、ソース配線 S_j が OFF 電位 V_H と導通し、電流ドライブ回路 P_j よりソース配線 S_j へ OFF 電位 V_H が出力される。データ信号 D_j 1～D_j 3 を（ハイ、ロー、ロー）に設定すれば、電流源回路 B_j 1 のみがソース配線 S_j と導通するので、ソース配線 S_j より電流ドライブ回路 P_j へ設定された電流 I_a が引き込まれる。データ信号 D_j 1～D_j 3 を（ハイ、ハイ、ロー）に設定すれば、電流源回路 B_j 1 と B_j 2 とがソース配線 S_j と導通するので、ソース配線 S_j より電流ドライブ回路 P_j へ設定された電流 I_a の 2 倍が引き込まれる。データ信号 D_j 1～D_j 3 を（ハイ、ハイ、ハイ）に設定すれば、電流源回路 B_j 1～B_j 3 がソース配線 S_j と導通するので、ソース配線 S_j より電流ドライブ回路 P_j へ設定された電流 I_a の 3 倍が引き込まれる。

【0149】

このようにして、本実施の形態のドライブ回路構成を用いて多値電流出力が実現できる。10

【0150】

次に、図 6 に本実施の形態の表示装置におけるドライブ回路構成を用いて多値電流を出力する別の例を示す。

【0151】

図 6 のドライブ回路構成では、各電流ドライブ回路 P_j を複数の電流源回路 B_j x (x = 1, 2, ...) によって構成し、各電流源回路 B_j x に異なる電流値を設定する。

【0152】

その異なる電流値を与える為に、電流配線 I_c 1, I_c 2 へ異なる電流値を設定する。電流配線 I_c 1 の電流値は定電流源 I_{c on} の定電流から電流源回路 P_B 1 が生成し、電流配線 I_c 2 の電流値は定電流源 I_{c on} の定電流から電流源回路 P_B 2・P_B 3 が生成する。20

【0153】

電流源回路 P_B 1 は p 型 TFTQ 17・Q 19、n 型 TFTQ 18・Q 20、およびコンデンサ C₃ を備えている。電流源回路 P_B 2・P_B 3 も同一構成である。電流源回路 P_B 1～P_B 3 の出力電流設定動作は上記図 5 の電流源回路 B_j 1～B_j 3 の電流設定動作と同様である。

【0154】

即ち、最初の電流源回路 P_B 1 の電流設定動作において、電流源回路 P_B 1 から電流配線 I_c 1 へ電流が流れないよう、制御線 P_L 1 をハイ状態として、電流出力用 TFTQ 17 (兼電流設定用 TFT) と電流配線 I_c 1 とを繋ぐ p 型 TFTQ 19 を OFF 状態とする。このとき、電流源回路 P_B 1 と定電流源 I_{c on} とを繋ぐ n 型 TFTQ 20 が ON 状態となるので、更に、電流出力用 TFTQ 17 のゲート端子とドレイン端子との間に配置した n 型 TFTQ 18 を ON 状態 (制御配線 PR 1 がハイ状態) として、電源 V_H より電流出力用 TFTQ 17 を通して定電流源 I_{c on} へ電流が流れる状態を作る。30

【0155】

このとき、電源 V_H より電流設定用 TFTQ 17 (兼電流出力用 TFT) を通して定電流源 I_{c on} へ一定電流が流れるよう、電流設定用 TFTQ 17 のゲート端子電圧が設定される。この設定された電流設定用 TFTQ 17 のゲート電圧を、n 型 TFTQ 18 を OFF 状態 (制御配線 PR 1 がロー状態) とすることで、コンデンサ C₃ に保持させる。その後、制御配線 P_L 1 をロー状態とすることで n 型 TFTQ 20 を OFF 状態とし、p 型 TFTQ 19 を ON 状態とする。40

【0156】

その結果、電流配線 I_c 1 に流れる電流は、定電流源 I_{c on} により設定された電流値となる。そして、次の電流源回路 P_B 2 の電流設定を行う。

【0157】

この電流源回路 P_B 2 の電流設定動作および次の電流源回路 P_B 3 の動作は上記電流源回路 P_B 1 の電流設定動作と同様なので、ここではその説明は省略する。このとき、電流配線 I_c 1 には電流源回路 P_B 1 が繋がっているだけであるが、電流配線 I_c 2 には電流源回路 P_B 2・P_B 3 が繋がっている。従って、電流配線 I_c 2 を流れる電流値 I_b は電流50

配線 I_{c1} を流れる電流値 I_a の 2 倍に設定される。

【0158】

この電流配線 $I_{c1} \sim I_{c2}$ の電流値を使って、各電流ドライブ回路 P_j を構成する電流源回路 $B_{j1} \sim B_{j2}$ の電流設定動作が行われる。

【0159】

なお、この電流設定動作を各電流源 $B_{j1} \sim B_{j2}$ の各々に着目して見れば、その動作は実施の形態 1 の電流ドライブ回路 P_j の電流設定動作と同様である。

【0160】

即ち、各電流ドライブ回路 P_j の電流設定動作は、最初に電流ドライブ回路 P_j からソース配線 S_j へ電流が流れないよう、制御線 $D_{j1} \sim D_{j2}$ を絶てロー状態とし、この電流ドライブ回路 P_j を構成する電流源回路 $B_{j1} \sim B_{j2}$ の電流設定用 TFTQ9 (兼電流出力用 TFT) とソース配線 S_j を繋ぐ n 型 TFTQ6 を OFF 状態とする。そして、電流配線 $I_{c1} \sim I_{c2}$ からこの電流源回路 B_{j1} に対応する電流設定用 TFTQ9 (兼電流出力用 TFT) のみに電流が流れよう、この電流源回路 $B_{j1} \sim B_{j2}$ に対応する共通制御線 L_j と R_j をハイ状態として、他の電流源回路 $B_{k1} \sim B_{k2}$ ($k \neq j$) に対応する共通制御線 L_k と R_k をロー状態とする。
10

【0161】

このとき、電流源回路 $B_{j1} \sim B_{j2}$ の電流設定用 TFTQ9 (兼電流出力用 TFT) のソース端子と電流配線 $I_{c1} \sim I_{c2}$ を結ぶ n 型 TFTQ7 が ON 状態となり、各コンデンサ C と電流配線 $I_{c1} \sim I_{c2}$ を結ぶ n 型 TFTQ8 も ON 状態となり、各電流設定用 TFTQ9 (兼電流出力用 TFT) へ電流配線 $I_{c1} \sim I_{c2}$ から設定電流が流れ、その電流値により各コンデンサ C の電位が設定される。その後、制御配線 R_j をロー状態とすることで n 型 TFTQ8 を非導通状態として、コンデンサ C を用いて、設定された電流設定用 TFTQ9 のゲート端子電位を保持する。また、制御配線 L_j をロー状態とすることで電流ドライブ回路 P_j の電流設定を終了し、次の電流ドライブ回路 P_{j+1} の電流設定動作に移る。
20

【0162】

その結果、電流源回路 $B_{j1} \sim B_{j2}$ の各電流設定用 TFTQ9 (兼電流出力用 TFT) の引き込み電流は、その TFT 特性バラツキに依らず、その電流配線 $I_{c1} \sim I_{c2}$ により設定された電流値が流れよう設定される。なおこのとき、電流配線 I_{c2} の電流値は電流配線 I_{c1} の電流値の 2 倍に設定されているので、電流源回路 B_{j2} の電流値は電流源回路 B_{j1} の電流値の 2 倍に設定される。
30

【0163】

そこで図 6 で、データ信号 $D_{j0} \sim D_{j2}$ を (ロー、ロー、ロー) に設定すると、ソース配線 S_j が OFF 電位 V_H と導通するので、電流ドライブ回路 P_j よりソース配線 S_j へ OFF 電位 V_H が出力される。データ信号 $D_{j0} \sim D_{j2}$ を (ハイ、ハイ、ロー) に設定すると、電流源回路 B_{j1} のみソース配線 S_j と導通するので、ソース配線 S_j より電流ドライブ回路 P_j へ設定された電流 I_a が引き込まれる。データ信号 $D_{j0} \sim D_{j2}$ を (ハイ、ロー、ハイ) に設定すると、電流源回路 B_{j2} がソース配線 S_j と導通するので、ソース配線 S_j より電流ドライブ回路 P_j へ設定された電流 $2 \times I_a$ が引き込まれる。データ信号 $D_{j0} \sim D_{j2}$ を (ハイ、ハイ、ハイ) に設定すると、電流源回路 $B_{j1} \sim B_{j2}$ がソース配線 S_j と導通するので、ソース配線 S_j より電流ドライブ回路 P_j へ設定された電流 $3 \times I_a$ が引き込まれる。
40

【0164】

このようにして、本実施の形態のドライブ回路構成を用いて多値電流出力が実現できる。

【0165】

このように本実施の形態のドライブ回路構成を用いて多階調表示を行わせることが可能であるが、図 5 の電流ドライブ回路構成で 256 階調表示を行わせるには、1 つの電流ドライブ回路 P_j が 255 個の電流源回路 $B_{j1} \sim B_{j255}$ を必要とする。しかし、それだけの数の電流源回路を各ソース配線 S_j 每に設けると、必要なソースドライバサイズ (50

幅) が大きくなりすぎて好ましくない。

【0166】

一方、図6の電流ドライブ回路構成では、1つの電流ドライブ回路Pjが8個の電流源回路Bj1～Bj8から構成されれば256階調表示可能である。しかし、これら8個の電流源回路Bj1～Bj8から供給される電流値には128倍の開きがあるので、各電流源回路Bj1～Bj8の電流出力用TFTQ9を同一サイズとするのは難しい。

【0167】

そこで、各電流源回路Bj1～Bj8の電流出力用TFTQ9のゲート幅を必要な電流量に比例させて大きくしていくことが考えられるが、この場合、必要なソースドライバサイズ(幅) が大きくなるので好ましくない。
10

【0168】

【実施の形態3】

本発明のさらに他の実施の形態について、図7および図8に基づいて説明すれば以下の通りである。なお、前記実施の形態1および2で述べた構成要素と同一の機能を有する構成要素については同一の符号を付し、その説明を省略する。

【0169】

本実施の形態では、上記課題を解決するために、上記多階調表示用の電流ドライブ回路構成と共に用いられる時間分割階調表示方法の説明をする。

【0170】

図5や図6の電流ドライブ回路Pjでは、出力できる電流値が4値(0FF電位、Ia、
2×Ia、3×Ia)なので、図7に示すように時間幅比1:4:16の3フィールドを用いた時分割階調と組み合わせれば、64階調表示が可能である。
20

【0171】

図7は横軸が時間であり、縦軸が画素Aijである。図7では説明を簡単にするためにゲート配線が8本の表示装置の例を示している。縦軸に示すA1j～A8jはそのゲート配線G1～G8に対応する画素であり、斜め線(1)～(3)で示したタイミングで各ゲート配線Giが選択され画素Aijのデータが設定される。

【0172】

この画素Aijにデータを設定するときの動作は図2や図4のタイミングチャートで示したものと同様なので、ここではその詳細な説明は省略する。
30

【0173】

上記ゲート配線Giの選択タイミングで電流ドライブ回路Pjより画素Aijの電流駆動用TFTの電流値が設定される。この動作は、1走査時間tfでゲート配線G1～G8に対応する画素A1j～A8jのデータ書き換えが終了する。

【0174】

図7では、1つのゲート配線Giの選択期間から選択期間までの間、画素Aijにこの走査時間tfで設定された値が表示され続けるので、時分割比1:4:16の表示を行おうとすると、1フレーム期間は $(1+4+16) \times t_f = 21 \times t_f$ と長くなる。また、この1フレーム期間のうち、実際に走査に使われている時間は $3 \times t_f$ で済むので、1フレーム期間中にしめる走査時間の割合が小さい。
40

【0175】

そこで、図1に示す画素回路Aijのように、電流出力用TFTQ4のゲート端子に接続されたコンデンサC1と電流出力用TFTQ4の出力端子との間に選択用TFTQ3を配置し、その選択用TFTQ3をスイッチ用TFTQ1とは独立にON状態とすれば、電流出力用TFTQ4のゲート電位が電流出力用TFTQ4の出力電位と等しくなり、電流出力用TFTQ4の出力電流をほぼ0とすることができます。

【0176】

この電流出力用TFTQ4の出力電流を0とする動作(消光動作)のタイミングを、図8で斜め破線(4)で示す。このように制御することで、図8にそのタイミングを示すように、走査期間tgに対する1フレーム期間の比率を $6 \times t_g$ と短くできる。なお、この1
50

フレーム期間のうち、実際に走査に使われている時間は $3 \times t_g$ と変化しない。

【0177】

このように、制御線 W_i をゲート配線 G_i とは独立に走査することで、1フレーム期間を短くする効果ができるので好ましい。

【0178】

【実施の形態4】

本発明のさらに他の実施の形態について、図9ないし図16に基づいて説明すれば以下の通りである。なお、前記実施の形態1ないし3で述べた構成要素と同一の機能を有する構成要素については同一の符号を付し、その説明を省略する。

【0179】

実施の形態3において、図1の画素回路構成では、上記消光動作において電流出力用 TFT Q4 の出力電流を完全に0にすることはできない。これは、選択用 TFT Q3 がONの状態で、電流出力用 TFT Q4 のゲート電圧は、電気光学素子 EL1 へ若干の電流が流れ 10 状態で安定するからである。

【0180】

そこで、上記時分割階調表示に適した第1の画素回路の別の構成を示す。

【0181】

図9に示すのがその画素回路構成 A_{ij} であり、電流出力用 TFT (第1のアクティブ素子) Q4 のゲート端子とソース配線 (第1の配線) S_j との間に選択用 TFT (第2のアクティブ素子) Q10 が配置され、その選択用 TFT Q10 のゲート端子はゲート配線 (第2の配線) G_i に接続されている。すなわち、選択用 TFT Q10 は、ソース配線 S_j とコンデンサ (第1のコンデンサ) C1 との間に配置されている。電流出力用 TFT Q4 と電気光学素子 EL1 とは電源配線 Vref と対向電極 Vcom との間に直列に配置され、電流出力用 TFT Q4 のゲート端子にはコンデンサ C1 が配置されている。また、その電流出力用 TFT Q4 と電気光学素子 EL1 との接続点、すなわち電流出力用 TFT Q4 の電流出力端子と、ソース配線 S_j との間にはスイッチ用 TFT Q1 (第1のスイッチング素子) が配置され、これらスイッチ用 TFT Q1 のゲート端子は制御配線 (第4の配線: 第1のスイッチング素子用) W_i に接続されている。

【0182】

この画素回路 A_{ij} の電流設定動作及び消去動作を図10に示す。なお、この電流ドライ 30 ブ回路 P_j は図6の回路構成を想定している。

【0183】

まず、各選択期間の最初に図6のデータ信号 $D_{j0} \sim D_{j2}$ を (ロー、ロー、ロー) として、ソース配線 S_j の電位を OFF 電位 V_H に設定する。次にデータ信号 $D_{j0} \sim D_{j2}$ を画素 A_{ij} の表示状態に合わせて (ロー、ロー、ロー) ~ (ハイ、ハイ、ハイ) の値とし、ソース配線 S_j の電流値を、画素 A_{ij} の電流出力用 TFT Q4 へ設定したい電流値に設定する。そして、制御配線 W_i をハイ状態とし、各画素 A_{ij} の電流出力用 TFT Q4 からソース配線 S_j へ電流が流れるよう設定する。また、ゲート配線 G_i をハイ状態とし、選択用 TFT Q10 を導通状態とし、電流出力用 TFT Q4 のゲート端子をソース配線 S_j と導通させる。

【0184】

この状態で、電流出力用 TFT Q4 のゲート端子電位は、ソース配線 S_j に電流ドライブ回路 P_j で設定された電流が流れるよう設定される。このソース配線 S_j 電位が電流出力用 TFT Q4 のゲート端子に繋がるコンデンサ C1 に保持されるよう、ゲート配線 G_i をロー状態とし、電流出力用 TFT Q4 のゲート端子をソース配線 S_j を非導通状態とする。

【0185】

その後、制御配線 W_i をロー状態とし、この設定された電流値が電流出力用 TFT Q4 から電気光学素子へ流れるようにする。

【0186】

のことにより、上記スイッチング用TFTQ1が導通状態から非導通状態になるときに生じるソース配線Sjの電位乱れの影響を受けることなく、電流出力用TFTQ4に所定電流を流した状態のソース配線Sj電位をコンデンサC1に保持することができる。

【0187】

この動作で、各画素Ai,jの電気光学素子の電流値は4状態を取るが、図8に示すタイミングチャートと同様、最初の走査期間tfでは、この電流設定動作に引き続き、電流停止(消光動作)を行う。これは、図10に示すゲート配線Giのみがハイ状態となっているタイミングであり、上記電流設定動作でゲート配線Giがハイ状態となってから、1単位時間を置いて、各選択期間の最初のデータ信号Dj0～Dj2が(ロー、ロー、ロー)の期間に、ゲート配線Giを再度ハイ状態とする。

10

【0188】

のことにより、電流出力用TFTQ4のゲート電位がVH(電流出力用TFTQ4の電流値が充分小さいと見なせる電位)になるので、図8の斜め破線(4)で示す、消去動作が実現できる。のことにより、走査期間tgに対して、1フレーム期間は $6 \times tg$ と短くなる。また、この1フレーム期間のうち、実際に走査に使われている時間は $3 \times tg$ と変化しない。

【0189】

このように、本実施の形態で用いられる画素回路構成Ai,jは1フレーム期間を短くする効果を持つので好ましい。

【0190】

特に、電流出力用TFTQ4のゲート電圧をソース配線Sjから設定できるので、その電流出力用TFTQ4の電流値を充分小さくできて好ましい。

20

【0191】

また、図9の画素回路構成では、電流出力用TFTQ4のゲート端子電位をソース配線Sjに電流ドライブ回路Pjで設定された電流が流れよう設定した後、ソース配線Sjと電流ドライブ回路Pjの間を非導通状態(図6のデータ信号Dj0～Dj2が(ハイ、ロー、ロー)の状態)とし、スイッチ用TFTQ1を遮断状態とし、その後このまま選択用TFT(第2のアクティブ素子)Q10を遮断状態とすれば、第1のアクティブ素子に上記電流ドライブ回路Pjにより設定した電流が流れれる。

30

【0192】

また、選択用TFT(第2のアクティブ素子)Q10を遮断状態とする前に、ソース配線SjをOFF電位状態(図6のデータ信号Dj0～Dj2が(ロー、ロー、ロー)の状態)とすれば、第1のアクティブ素子を遮断状態とする電位をコンデンサC1に溜められ、その後第2のアクティブ素子を遮断状態とすることで、第1のアクティブ素子を遮断状態のまままとできる。

【0193】

この場合、電気光学素子へ電流を流すことなく第1のアクティブ素子を遮断状態とすることができます。

【0194】

図1や図9の画素回路構成では、電流出力用TFTQ4のゲート電圧を変化させて、電流停止動作(消光動作)を行っている。そのため、消光動作は次の走査の直前に行われる。

40

【0195】

そこで、次の走査の直前に消光動作を行った場合と、現在の走査の直後に消光動作を行った場合の比較を、動画偽輪郭の発生状況から調べてみる。

【0196】

図8のタイミングで時間分割階調表示を行ったときの動画偽輪郭の発生状況が図11である。図11では、3階調目を背景に4階調目の物体が動作した場合の動画偽輪郭を示すが、その物体を追うように視線が(a)～(f)のように動くので、視線の移動と時間分割表示タイミングにより、矢印(b)～(c)のエリアのように(発光期間3と4が被り)7階調目近くの表示になるエリアと、矢印(d)～(e)のエリアのように(発光期間3

50

と4の間を抜けて) 0階調目近くの表示なるエリアが発生する。

【0197】

一方、現在の走査の直後に消光動作を行った場合の例を図12に示す。ここで、現在の走査の直後に消光動作を行うとは、図12で第1フィールドの発光期間 t_1 が時間 $0 \sim t_g$ の走査期間の最後の期間に設定されていることを指す。

【0198】

このように時間分割比が $1 : 4 : 16$ と低い方から並んでいる場合、図12と図11とを比較すると判るように、第1フィールドの表示期間を、第1フィールドの走査開始直後に設定するより、第2フィールドの走査開始直前に設定した方が、動画偽輪郭が見える矢印 (b) ~ (c) のエリアの幅と矢印 (d) ~ (e) のエリアの幅が狭くなり好ましい。
10

【0199】

また逆に、時間分割比が $16 : 4 : 1$ と高い方から並んでいる場合は、図11のように、最少フィールドの表示期間を、そのフィールドの走査開始直後に設定することが好ましい。
。

【0200】

また、ドライブ回路構成や画素回路構成、その好ましい駆動方法などの情報をTFTパネル内に、TFTプロセスを用いて書き込んでおくと良い。そして、ICで作られたコントロール回路側でこの情報を読み込み、最適な駆動方法や駆動タイミングを選んで出力することが好ましい。

【0201】

図12のように現在の走査の直後に消光動作を行う為の画素回路構成として、図13に示すような画素回路構成がある。図13では、電流出力用TFT (第1のアクティブ素子) Q4と電気光学素子EL1との間にスイッチ用TFT (第2のスイッチング素子) Q2のゲート端子配線 (第4の配線: 第2のスイッチング素子用) Eiを配置し、スイッチ用TFT Q1のゲート端子配線 (第2の配線) Giとは独立に制御可能とした点が、図1の画素回路構成とは異なる。この場合、制御線Wiは第1のスイッチング素子用の第4の配線であり、ゲート端子配線Eiとは独立している。
20

【0202】

その結果、第1フィールドの走査開始直後から第2フィールドの走査開始直前迄の間、スイッチ用TFT Q2をOFF状態として表示をさせない状態が作れる。そして、第2フィールドの走査開始直前から、スイッチ用TFT Q2をON状態とすることで、設定された電流値で表示を行うことができるので好ましい。
30

【0203】

また、電流出力用TFT Q4と電気光学素子EL1との間にスイッチ用TFT Q2を配置することで、電気光学素子EL1がダイオード特性を持たなくとも、電流出力用TFT Q4の出力をソース配線 (第1の配線) Sjへ導けるので好ましい。

【0204】

スイッチ用TFT Q2は、電流出力用TFT Q4から電気光学素子EL1へ駆動電流が流れる経路の導通および遮断を行うので、電気光学素子EL1が閾値電圧を有するダイオード型の素子でなくとも容易に電流駆動を行うことができる。
40

【0205】

また、同様に図14の画素回路構成でも良い。

【0206】

図14は図9の画素回路構成の電流出力用TFT Q4と電気光学素子EL1との間にスイッチ用TFT (第2のスイッチング素子) Q2のゲート端子配線 (第4の配線: 第2のスイッチング素子用) Eiを配置し、スイッチ用TFT Q2のゲート端子配線Eiをスイッチ用TFT Q1のゲート端子配線 (第4の配線: 第1のスイッチング素子用) Wiとは独立に制御可能とした構成である。

【0207】

図13や図14のように、電流出力用TFT Q4のゲート端子電位と電気光学素子EL1
50

を流れる電流のON/OFF状態とを独立に制御できるメリットは、電流出力用TFTQ4ゲート電位を保持したまま電気光学素子EL1を消光できる点である。このメリットは、特に電流ドライブ回路Pjが2値出力の場合に明確になる。

【0208】

図15に示すのは、そのことを明確にする為の画素回路構成である。

【0209】

図15は図14の画素回路構成のスイッチ用TFTQ2と電気光学素子EL1との間に、スイッチ用TFTQ12と、そのゲート端子に繋がるゲート用TFTQ13とコンデンサC4とを配置した例である。このゲート用TFTQ13はスイッチ用TFTQ12のゲート端子とソース配線Sjとの間に配置され、そのゲート端子には制御線Fiが接続されて10いる。

【0210】

そこで、図16の(1)に示すように、最初に電流駆動回路の電流出力用TFTQ4の出力電流を設定し(図16(1)の斜め線のタイミング。この場合、電流出力用TFTQ4の出力電流がON状態となるよう設定する)、その後コンデンサC4の電圧を設定すれば(図16の(2),(4),(5)のタイミング)、1フレーム期間に1回程度電流値設定動作を行うことで、2値電流出力(ON状態とOFF状態)を得ることができる。

【0211】

なお、図16の(1)の斜め線のタイミングは直前の第3フレームの表示期間f3と被る。この電流設定動作で表示が若干乱れるが、第3フレームの表示期間f3は充分長いので20、その影響は少ない。

【0212】

このような構成は特に、コンデンサC4の代わりにスタティックメモリ(インバータ2個から構成されている)を配置する場合有効である。

【0213】

即ち、スタティックメモリを画素に配置して表示を行う場合、その出力は電圧値なので、周囲温度や電気光学素子の特性バラツキにより、電気光学素子を流れる電流値が変化してしまう問題が残る。しかし、そのスタティックメモリで表示を行うときも、電流ドライブ回路Pjにより画素の電流出力用TFTQ4の出力電流を1フレーム期間に1回程度、ON状態に設定してやれば、上記問題は起こらないので好ましい。30

【0214】

本実施の形態では、電流出力用TFTQ4と電気光学素子EL1との間にスイッチ用TFTQ2を設けているので、電気光学素子EL1がダイオード型の非対称電流特性を持っていなくても、表示可能である。

【0215】

この場合、電源配線Vrefより電流出力用TFTQ4を通して、ソース配線Sjへ電流を流すとき、スイッチ用TFTQ1をON状態とし、スイッチ用TFTQ2をOFF状態とする。また、電源配線Vrefより電流出力用TFTQ4を通して、電気光学素子EL1へ電流を流すとき、スイッチ用TFTQ1をOFF状態とし、スイッチ用TFTQ2をON状態とする。40

【0216】

また、上記回路構成では、スイッチ用TFTQ1とQ2とが共にOFF状態となるよう独立に制御できる構成がより好ましい。

【0217】

このことにより、スイッチ用TFTQ1がOFF状態の時でも、スイッチ用TFTQ2をOFF状態とすることができます、電流出力用TFTQ4から電気光学素子EL1へ流れる電流を止めて、各データの表示時間の長さを制御できるので好ましい。

【0218】

【実施の形態5】

本発明のさらに他の実施の形態について、図17ないし図19、および、図27ないし図50

3.2に基づいて説明すれば以下の通りである。なお、前記実施の形態1ないし4で述べた構成要素と同一の機能を有する構成要素については同一の符号を付し、その説明を省略する。

【0219】

本実施の形態では第2の画素回路構成の例を示す。図17に示すのがその画素回路構成A_{i j}であり、ソース配線（第1の配線）S_jに並行してデータ配線（第3の配線）T_jが配置されている。そのデータ配線T_jと電流出力用TFTQ4（第1のアクティブ素子）のゲート端子との間に選択用TFT（第2のアクティブ素子）Q14が配置され、その選択用TFTQ14のゲート端子はゲート配線（第2の配線）G_iに接続されている。すなわち、選択用TFTQ14は、データ配線T_jとコンデンサ（第1のコンデンサ）C1との間に配置されている。また、電流出力用TFTQ4の電流出力端子とソース配線S_jとの間にはスイッチ用TFTQ1（第1のスイッチング素子）が配置され、そのスイッチ用TFTQ1のゲート端子はゲート配線G_iに接続されている。
10

【0220】

この画素回路構成A_{i j}の電流設定動作は図18のタイミングチャートに示すとおりである。

【0221】

即ち、選択期間の最初に電流ドライブ回路P_jの制御配線D_jをロー状態として、制御配線H_jをロー状態として、データ配線T_jをソース配線S_jと切り離し、データ配線T_jをOFF電位配線V_Hと導通させる。このとき、ソース配線S_jは電流ドライブ回路P_jの電流出力用TFTQ9と導通状態となるので、ソース配線S_jより電荷が排除され低電圧状態V_{low}となる。次に、ゲート配線G_iをハイ状態（選択状態）として、制御配線D_j及び制御配線H_jの状態を共にハイ状態にするか、ロー状態とするかを設定する。
20

【0222】

このとき、制御配線D_j及び制御配線H_jを共にロー状態とすれば、データ配線T_jの電位はOFF電位V_Hとなる。また、このOFF電位V_Hが画素回路A_{i j}の電流出力用TFTQ4のゲート電極に印加されるので、電流出力用TFTQ4は非導通状態となる。また、スイッチ用TFTQ1が導通状態となるので、ソース配線S_jと電流出力用TFTQ4の出力端子との間は導通状態となるが、電流出力用TFTQ4は非導通状態なので、ソース配線S_jの電位は電圧V_{low}のままである。
30

【0223】

このとき、電流出力用TFTQ4の出力端子に繋がる電気光学素子の印加電圧－電流特性がダイオード型特性を有していれば、電気光学素子に電流が流れない状態を作れる。即ち、図17の回路構成であれば、電流出力用TFTQ4の出力端子に接続された電気光学素子EL1の陽極に電圧V_{low}が印加される。このとき、ソース配線S_jを対向電極電圧V_{com}程度の電圧になるよう設定することで、電気光学素子EL1に電流が流れない状態を作れる。

【0224】

図17の画素回路構成A_{i j}で、電流出力用TFTQ4のゲート端子にOFF電位が印加されれば、ソース配線S_jの電位はGND電位程度に設定される。
40

【0225】

この後、ゲート配線G_iを非選択状態とし、選択用TFTQ14とスイッチ用TFTQ1とを非導通状態とすれば、この電気光学素子EL1に電流が流れない状況が保持される。

【0226】

また、制御配線D_j及び制御配線H_jを共にハイ状態とすれば、データ配線T_jはソース配線S_jと導通し等しい電位となる。このとき、データ配線T_jの電位は電位V_Hからソース配線S_jの電位V_{low}に向け変化し、電流出力用TFTQ4は導通状態となる。

【0227】

また、スイッチ用TFTQ1が導通状態となるので、電流出力用TFTQ4からソース配線S_j等を経由して電流ドライブ回路P_jへ電流が流れる。この電流値が電流ドライブ回
50

路 P_j で設定された電流値となるよう、電流出力用 TFTQ4 のゲート電位が変化し、データ配線 T_j とソース配線 S_j とは安定する。

【0228】

このときのソース配線 S_j の電位も、電気光学素子 EL1 に電流が流れない状態となる。

【0229】

即ち、図 17 の回路構成であれば、電流出力用 TFTQ4 が導通状態になるために、電流出力用 TFTQ4 のゲート電位は電源電位 V_{ref} より 2~3V 以上ドロップする。一方、電気光学素子がダイオード型特性を有していれば、陽極電圧が 2~3V 低下しただけで、電気光学素子に電流が殆ど流れない状態となる。

【0230】

その後、この電流出力用 TFTQ4 のゲート端子電位が保持されるよう、データ配線 T_j の電位を電流ドライブ回路 P_j 及びソース配線 S_j から切り離し、ゲート配線 G_i の電位を非選択状態とする。

【0231】

このように図 17 の画素回路構成 A_{ij} では、選択用 TFTQ14 とスイッチ用 TFTQ1 のゲート端子とが共にゲート配線 G_i に接続されていても、選択用 TFTQ14 が接続するデータ配線 T_j と、スイッチ用 TFTQ1 が接続するソース配線 S_j とを分離することで、スイッチ用 TFTQ1 が ON 状態から OFF 状態となるときの電位の乱れが、電流出力用 TFTQ4 のゲート端子電位に影響を与えないよう処理でき好ましい。

【0232】

また、図 17 の電流ドライブ回路 P_j の電流出力用 TFTQ9 は常にソース配線 S_j と繋がっているが、図 1 と同様、電流ドライブ回路 P_j の電流設定時だけ電流出力用 TFTQ9 とソース配線 S_j との間が非導通状態となるよう、選択用 TFTQ6 を配置しても良い。

【0233】

このように、本実施の形態では、データ配線 T_j は、電流出力用 TFTQ4 による電圧条件の生成に必要な電位を、スイッチ用 TFTQ1 を介さずに、導通状態にある選択用 TFTQ14 を介して電流出力用 TFTQ4 に伝達するように設けられている。また、スイッチ用 TFTQ1 は、導通状態となることによって、ソース配線 S_j を電流出力用 TFTQ4 の電流出力端子に、従って電気光学素子 EL1 の駆動電流の流入側端子（陽極）に接続する。

【0234】

従って、電気光学素子 EL1 が閾値電圧を有するダイオード型の電気光学素子であってこれを暗輝度状態にしたいとき、データ配線 T_j から選択用 TFTQ14 を介して電流出力用 TFTQ4 にこの TFT が遮断状態となるような電位を伝達し、ソース配線 S_j からスイッチ用 TFTQ1 を介して電気光学素子 EL1 の駆動電流流入側端子（陽極）に、電気光学素子 EL1 に印加される電圧が閾値電圧以下となるような電位を伝達することにより、電気光学素子 EL1 を完全に暗状態とすることができます。

【0235】

図 17 の構成によれば、ソース配線 S_j とデータ配線 T_j とを繋ぎ、スイッチ用 TFTQ1 と選択用 TFTQ14 とを導通状態とし、電流出力用 TFTQ4 からスイッチ用 TFTQ1 を通してソース配線 S_j へ所定電流を流すことでコンデンサ C1 へ保持する電位を生成できる。

【0236】

また、ソース配線 S_j とデータ配線 T_j とを分離し、スイッチ用 TFTQ1 と選択用 TFTQ14 とを導通状態とし、データ配線 T_j に所定の電位を印加することで電流出力用 TFTQ4 を非導通状態とできる。この結果、電流出力用 TFTQ4 の非導通状態での電流値を充分小さくできるので好ましい。

【0237】

また、電気光学素子がダイオード型ではない場合、図 19 の画素回路構成のように、図 1

10

20

30

40

50

7の画素回路構成における電流出力用TFTQ4と電気光学素子EL1との間にスイッチ用TFTQ2(第2のスイッチング素子)を配置すれば良い。この構成によれば、電気光学素子EL1の特性によらず、電流出力用TFTQ4の出力電流をソース配線Sjへ導けるので、ソース配線Sjとデータ配線Tjとの間を導通状態としたとき、電流出力用TFTQ4が所望の電流を流すよう、その電流制御端子電位を設定できる。その結果、電流出力用TFTQ4の出力電流のバラツキを抑えられて好ましい。

【0238】

なお、このスイッチ用TFTQ2のゲート端子は、図19のように他の配線(第4の配線:第2のスイッチング素子用)Eiへ繋いでも良い。また、図27に示すように、図17の画素回路構成において電流出力用TFTQ4と電気光学素子EL1との間にスイッチ用TFTQ2(第2のスイッチング素子)を配置し、スイッチ用TFTQ2のゲート端子をゲート配線Giに接続しても良い。¹⁰また、図27のように電源配線Vrefをゲート配線Giと並行に配置しても良い。また、図28のように、図19の画素回路構成において他の配線Eiを制御線(第4の配線:第1のスイッチング素子用兼第2のスイッチング素子用)Wiとし、選択用TFTQ14のゲート端子をゲート配線Giに接続し、スイッチ用TFTQ1およびスイッチ用TFTQ2のゲート端子を制御線Wiと接続しても良い。

【0239】

図19ではこのスイッチ用TFTQ2のゲート端子をゲート配線Giとは異なる配線Eiに接続することで、図12に示したような消光動作を行う動作が可能としており、好ましい。²⁰

【0240】

また、図28のようにスイッチ用TFTQ1と選択用TFTQ14との導通状態を制御する配線を異ならせることにより、選択用TFTQ14とスイッチ用TFTQ1とを独立に制御できるので、選択用TFTQ14を非導通状態とした後、スイッチ用TFTQ1を非導通状態とできる。その結果、電流出力用TFTQ4が所定電流を流している状態でその電位をコンデンサC1へ保持でき、その出力電流値のバラツキを抑制できるので好ましい。

【0241】

本実施の形態の表示装置における画素電流回路Qi,jの好ましい第2の構成は、ソース配線Sjとゲート配線Giとが交差する領域に、電気光学素子EL1と電流出力用TFTQ4とコンデンサC1とを配置し、ソース配線Sjと並行してデータ配線Tjが配置され、電流出力用TFTQ4のゲート端子にコンデンサC1を配置し、電気光学素子EL1と直列に電流出力用TFTQ4を配置し、電流出力用TFTQ4の出力電流を、電気光学素子EL1へ導くかソース配線Sjへ導くかを切り替える為のスイッチ用TFTQ1を配置し、データ配線Sjの電位を、電流出力用TFTQ4のゲート端子へ導くか否かを切り替える選択用TFTQ14を配置した構成である。³⁰

【0242】

上記画素回路構成では、スイッチ用TFTQ1をON状態とし、ソース電極Sjへ電気光学素子EL1の閾値電圧以下となる電圧を印加し、その電気光学素子EL1をOFF状態とし、電源配線Vrefより電流出力用TFTQ4を通して、ソース配線Sjへ電流を流すことができる。一方、選択用TFTQ14をON状態とし、電流出力用TFTQ4のゲート端子へデータ配線Tjの電位を与えることができる。⁴⁰

【0243】

そこで、電気光学素子EL1を暗輝度状態とするとき、ソース配線Sjから電流を引き出し、ソース電極Sjへ電気光学素子EL1の閾値電圧以下となる電圧を印加し、データ配線TjへOFF電位を印加すれば、電気光学素子EL1の輝度を完全に暗状態とできて好ましい。

【0244】

上記構成においても、電気光学素子EL1はダイオード型の非対称電流特性を持つことが好ましい。

【0245】

図29はそのような電気光学素子EL1を用いた図17の画素回路構成のためのソースドライバ回路の出力端回路Djである。

【0246】

図29の出力端回路Djは図17の電流ドライブ回路Pjと画素Aijとの間に位置し、電流ドライブ回路Pjの出力電流端（ソース配線Sjの一端）に接続されている端子Ijを有している。

【0247】

出力端回路Djは、データ配線Tjと、第1の電位配線の電位であるOFF電位VHとの間にスイッチ用TFT（第3のスイッチング素子）Q30を配置し、データ配線Tjにコンデンサ（第2のコンデンサ）C10の一方の端子を接続し、そのコンデンサC10の他方端子とソース配線Sjとの間にスイッチ用TFT（第4のスイッチング素子）Q32を配置し、そのコンデンサC10の他方端子と、第2の電位配線の電位である補償電位VXとの間にスイッチ用TFT（第5のスイッチング素子）Q31を配置する。そして、スイッチ用TFTQ30のゲート端子に制御配線Ejを、スイッチ用TFTQ31のゲート端子に制御配線Cjを、スイッチ用TFTQ32のゲート端子に制御配線Bjを接続する。
10

【0248】

この制御配線Ej, Cj, Bjによるスイッチ用TFTQ30, Q31, Q32のON/OFFタイミングをゲート配線GiのON/OFFタイミングと共に示したのが図30である。
20

【0249】

また、このとき図29の各電圧測定ポイントVa, Vb, Vcの電位をシミュレーションした結果を図31に示す。なお、図29の電圧測定ポイントVaの電位はコンデンサC10の他方端子（スイッチ用TFTQ31, Q32と繋がる方の端子）の電位であり、電圧測定ポイントVbの電位は電流出力用TFTQ4のゲート端子電位であり、電圧測定ポイントVcの電位は電流出力用TFTQ4のドレイン端子電位である。

【0250】

また、図31には、電圧測定ポイントVa, Vb, Vcの各電位につき、TFTの閾値電圧および移動度の設計値の上限／中心値／下限を表1のように組み合わせて、3通りずつシミュレーションした結果を曲線で示してある。この3通りのシミュレーションは、表1に示すように、このようなTFTの特性バラツキにより、電気光学素子EL1に流れる駆動電流となる出力端回路Djの出力電流がIoled(1), Ioled(2), Ioled(3)というよう
30 に異なることに対応して行われたものである。図31では、出力電流Ioled(1), Ioled(2), Ioled(3)の順に、電圧測定ポイントVaについてはVa(1) Va(2), Va(3)が、電圧測定ポイントVbについてはVb(1), Vb(2), Vb(3)が、電圧測定ポイントVcについてはVc(1), Vc(2), Vc(3)が、それぞれ対応している。

【0251】**【表1】**

	Ioled(1)	Ioled(2)	Ioled(3)
閾値電圧	平均値	下限	上限
移動度	平均値	下限	上限

【0252】

以下に、この図29の出力端回路Dj及び画素回路Aijの動作を図29ないし図31を用いて説明する。なお、図31には、ゲート配線Gi、制御配線Cj, Ej, Bjの電位変化もグラフに収まる範囲で示されている。

【0253】

図30の時間0～5t1が選択期間であり、時間t1～5t1の間（図31では時間1.22ms～1.30msの期間）にゲート配線Giがハイ状態となり（時間t1でロー状
50

態からハイ状態に立ち上がり、時間 t_1 でハイ状態からロー状態に立ち下がる)、スイッチ用 TFTQ1、選択用 TFTQ14 が導通状態となる。そして、時間 $t_1 \sim 2t_1$ の間(図 31 では時間 1.22ms ~ 1.24ms の期間)に制御配線 Cj, Ej がハイ状態となり(時間 t_1 でロー状態からハイ状態に立ち上がり、時間 $2t_1$ でハイ状態からロー状態に立ち下がる)スイッチ用 TFTQ30, Q31 が導通状態となる。

【0254】

この結果、データ配線 Tj は OFF 電位 VH となり、選択用 TFTQ14 を通して電圧測定ポイント Vb の電位(電流出力用 TFTQ4 のゲート端子電位)も OFF 電位 VH となる。また、電圧測定ポイント Va の電位(コンデンサ C10 の他方端子電位)は補償電位 VX となる。
10

【0255】

図 31 では $VH = 16V$ 、 $VX = 9V$ に設定しており、電圧測定ポイント Vb の電位が 16V、電圧測定ポイント Va の電位が 9V となっている。

【0256】

次に、時間 $3t_1 \sim 4t_1$ の間(図 31 では時間 1.26ms ~ 1.28ms の期間)に制御配線 Bj がハイ状態となり(時間 $3t_1$ でロー状態からハイ状態に立ち上がり、時間 $4t_1$ でハイ状態からロー状態に立ち下がる)スイッチ用 TFTQ32 が導通状態となる。

【0257】

この結果、電圧測定ポイント Vc の電位(電流出力用 TFTQ4 のドレイン端子電位)と 20 電圧測定ポイント Va の電位(コンデンサ C10 の他方端子電位)とは一致する。

【0258】

また、データ配線 Tj にはコンデンサ C1, C10 しか繋がっていない状態となるので、このデータ配線 Tj の電荷は保持される。本実施の形態では $C1 = 1pF$ 、 $C10 = 10pF$ としてコンデンサ C10 の両端の電位差が余り変化しないよう設定したので、図 31 に示すように電圧測定ポイント Vb の電位と電圧測定ポイント Vc の電位との差は、先の OFF 電位 VH と補償電位 VXとの差とほぼ等しい状態を維持する。

【0259】

この結果、ソースドライバ回路から設定された電流を引き出す状態では、電圧測定ポイント Vc の電位は電圧測定ポイント Vb の電位より $VH - VX$ (図 31 では $16V - 9V = 7V$) 低く設定される。
30

【0260】

この電圧測定ポイント Vc の電位が電気光学素子 EL1 の陽極に印加されるので、電気光学素子 EL1 を殆ど電流が流れない状態とすることができます。そして、電気光学素子 EL1 へ電流が流れることに依る電流出力用 TFTQ4 の出力電流のバラツキを抑制できるので好ましい。

【0261】

なお、時間 1.32ms ~ 1.38ms では、ハイ状態とロー状態との切り替わりは制御配線 Cj, Ej, Bj のみが時間 1.22ms ~ 1.28ms と同様に繰り返される。

【0262】

その結果、図 32 のシミュレーション結果に示すように、電流出力用 TFTQ4 の特性バラツキの影響を抑えた出力電流を得ることができる。図 32 には、表 1 の出力電流 $I_{oled}(1)$, $I_{oled}(2)$, $I_{oled}(3)$ の値がシミュレーション結果として示されている。

【0263】

なお、図 32 に示すシミュレーション結果は、1.2ms ~ 2.3ms の間、電流ドライバ回路 Pj から $0.2\mu A$ を流し、その後 1.1ms 毎に電流値を $0.1\mu A$ ずつ増加させ、8.9ms ~ 10ms の間 $0.9\mu A$ とした後 0 として、その後再度 1.1ms 每に電流値を $0.1\mu A$ ずつ増加させた結果である。

【0264】

図 32 で電流値が 10% 程度ばらつくが、図 27 の回路構成に比べスイッチ用 TFTQ2 50

を用いない分、ボトムエミッション構成（TFTを形成したガラス基板側から光を取り出す構成）において、画素内の有機ELの面積を多く取れるので好ましい。

【0265】

なお、画素内の有機ELの面積が多いほど、有機ELを形成した部分の単位面積当たり発光輝度を低くできるので、有機ELの劣化を抑え、輝度半減寿命を長くする効果があり好ましい。

【0266】

図29の構成によれば、コンデンサC10へ電荷を貯めることで、ソース配線Sjとデータ配線Tjとの間に電位差を発生できる。その結果、電流出力用TFTQ4へ所望の電流を流すときのデータ配線Tjの電位を適切に設定できる。その結果、電流出力用TFTQ4の出力電流のバラツキを抑えられるので好ましい。
10

【0267】

【実施の形態6】

本発明のさらに他の実施の形態について、図20および図21に基づいて説明すれば以下の通りである。なお、前記実施の形態1ないし5で述べた構成要素と同一の機能を有する構成要素については同一の符号を付し、その説明を省略する。

【0268】

ところで、電気光学素子として有機ELを用いた場合、有機ELの電流-発光輝度特性が時間と共に変化する（輝度が下がる）という問題がある。このような課題解決のための手段としても本発明の画素回路構成を応用できる。
20

【0269】

この場合、図20の画素回路構成Ai,jに示すように、画素にコンデンサC3と受光用TFTQ11とから構成される受光素子を追加すればよい。

【0270】

この画素回路構成Ai,jの動作は、図21に示すように制御配線Wiをハイ状態として、スイッチ用TFTQ2をOFF状態とし、スイッチ用TFTQ1をON状態として、選択期間を始める。このとき、ゲート配線Giもハイ状態とし、選択用TFTQ10をON状態とし、制御配線Eiもハイ状態とし、スイッチ用TFTQ11もON状態とする。そして、ソース配線Sjに電流出力用TFTQ4のOFF電位を印加し、コンデンサC3にそのOFF電位を貯める。
30

【0271】

次に、制御配線Eiをロー状態とし、受光用TFTQ11をOFF状態とする。

【0272】

その後、電源配線Vrefより電流出力用TFTQ4、スイッチ用TFTQ1、ソース配線Sjを通して図示しない電流ドライブ回路Pjに電流を流す。このとき、電流ドライブ回路Pjの電流駆動用TFTQ9は定電流モードなので、ソース配線Sjに繋がる電流出力用TFTQ4のゲート電位は電流出力用TFTQ4がその電流を流すよう設定される。

【0273】

この後、ゲート配線Giがロー状態となり、選択用TFTQ10がOFF状態となる。更に、制御配線Wiがロー状態となり、スイッチ用TFTQ1がOFF状態となり、スイッチ用TFTQ2がON状態となり、選択動作が終了する。
40

【0274】

この後表示期間の間、電気光学素子EL1より発光した光が受光用TFTQ11に入射する。Si TFTは光を受光することでOFF状態の電流値が変化するので、この受光した光に比例してコンデンサC3の電荷がコンデンサC1へ移動する。

【0275】

その結果、コンデンサC1の電位がOFF電位VHに向け変化する。このとき、電気光学素子EL1より発光した光が多いほど、コンデンサC1の電位がOFF電位VHに向け早く変化する。従って、有機ELの電流-輝度特性が良い初期状態では、コンデンサC1の電位が早くOFF電位VHに向け変化し、表示期間の途中で電流出力用TFTQ4がOFF
50

F状態となる。一方、有機ELの電流-輝度特性が悪い経年変化後の状態では、表示期間の最後にやっと電流用 TFT Q4 が OFF 状態となる程度になる。

【0276】

従って、初期状態では高輝度×短時間発光となり、経年変化後では低輝度×長時間発光となり、その表示期間の積分輝度がある程度一定となる。

【0277】

このことにより、有機ELの特性劣化に依らず均一な表示が得られるので、好ましい。

【0278】

なお、このように発光した光による TFT 素子特性への影響があるので、図20の受光用 TFT Q11 以外の TFT Q1, Q2, Q4, Q10 には電気光学素子の発光による影響が出ないよう、TFT の上に遮光層を設けると良い。この遮光層としては、TFT プロセスで標準的に用いられている配線用電極膜などが好ましい。
10

【0279】

また、ソース配線 Sj やゲート配線 Gi の上にも電気光学素子 EL1 を形成できるように、それら配線や TFT と電気光学素子 EL1 との間に平坦化絶縁膜を形成すると良い。

【0280】

このことにより、ソース配線 Sj やゲート配線 Gi や TFT の周辺の上にも電気光学素子が形成できるので、発光面積が大きく取れる。その結果、比較的小さな電圧で駆動しても必要な輝度が取れるので、特性劣化を緩和することができる。

【0281】

また、この平坦化絶縁膜を屈折率の異なる複数の材料で作成することで、乱反射等を起こし、光の取り出し効率を上げることができる。特に、レンズのような形状を形成すると更に良い。
20

【0282】

また、これら電気光学素子の表面や周辺に熱伝導率の良い膜を形成することで、取り出せない光や熱による温度上昇を平均化できて好ましい。

【0283】

更に、上記のような画素回路構成は、1画素当たり少ない TFT を用いて必要な階調安定性が得られるので、1画素当たりに使われる TFT を減らし、TFT 不良によるパネル歩留まり率をアップする効果がある。
30

【0284】

電気光学素子として有機ELを用いる場合、この温度上昇により輝度上昇が見られる。しかし、同時にパネルの消費電流も増えるので、パネルの電源電流をモニタし、その上昇に合わせて電圧降下するような電源回路構成が好ましい。簡単には電源ラインに抵抗のような電流が増えれば電圧ドロップが増える素子を付ける構成である。その他、表示パターン毎に電流容量を変える構成も好ましい。

【0285】

最後に、図22に画素 Ai j の配線構成の概念図を示す。ソース配線 Sj 、ゲート配線 Gi 、および電源配線 Vref に囲まれた領域内に TFT 回路領域および透明電極領域が設けられている。
40

【0286】

【発明の効果】

本発明の表示装置は、以上のように、1つの定電流源を備え、上記ドライブ回路は、上記電気光学素子を電流駆動するための駆動電流を生成して上記駆動制御可能期間に上記第1の配線を介して上記画素に伝達することにより上記画素を駆動制御し、各上記画素に対して上記駆動制御可能期間外に上記定電流源から出力される定電流を用いて上記ドライブ回路内部に上記駆動電流が流れる回路状態を生成して保持し、上記駆動制御可能期間に、保持した上記回路状態で上記駆動電流を生成する構成である。

【0287】

それゆえ、上記ドライブ回路の出力特性をその定電流値でバラツキが少なくなるよう設定
50

できる。その結果、電気光学素子の電流駆動用のドライブ回路を、低温ポリシリコンTFTやCGシリコンTFTで構成することを可能としながら各ソース配線間で電流値がばらつくのを防止することができる表示装置を提供することができるという効果を奏する。

【0288】

さらに本発明の表示装置は、以上のように、上記電気光学素子に上記駆動電流が流れる電流駆動期間は、一定期間内に設けられた複数の期間の選択的な組み合わせにより長さが決定される構成である。

【0289】

それゆえ、一定期間において、ドライブ回路から伝達される駆動電流値で定められる階調数よりも多階調で表示を行うことができるという効果を奏する。10

【0290】

さらに本発明の表示装置は、以上のように、上記画素は、上記電気光学素子の電流駆動時に上記駆動電流を生成して上記電気光学素子に流す第1のアクティプ素子と、上記駆動制御可能期間に上記ドライブ回路から伝達された上記駆動電流を上記電流駆動時に上記第1のアクティプ素子に生成させるために上記第1のアクティプ素子に印加する電圧条件を保持する第1のコンデンサと、上記駆動制御可能期間に、導通状態となることにより上記ドライブ回路から上記第1のアクティプ素子に上記駆動電流を伝達させて上記第1のアクティプ素子に上記電圧条件を生成させ、上記電圧条件の生成後に遮断状態となることにより上記電圧条件を上記第1のコンデンサに保持させる第2のアクティプ素子と、導通状態となることにより上記画素を上記第1の配線に接続して上記駆動制御可能期間を開始させ、上記第1のコンデンサによる上記電圧条件を上記第1のコンデンサに保持させる第1のスイッチング素子とを備えている構成である。20

【0291】

それゆえ、ドライブ回路から伝達された駆動電流で電気光学素子を駆動することができるという効果を奏する。

【0292】

さらに本発明の表示装置は、以上のように、上記第1のアクティプ素子による上記電圧条件の生成に必要な電位を、上記第1のスイッチング素子を介さずに、導通状態にある上記第2のアクティプ素子を介して上記第1のアクティプ素子に伝達するように設けられた第3の配線を備えており、上記第1のスイッチング素子は、導通状態となることによって、上記第1の配線を上記電気光学素子の上記駆動電流の流入側端子に接続する構成である。30

【0293】

それゆえ、電気光学素子が閾値電圧を有するダイオード型の電気光学素子であってこれを暗輝度状態にしたいとき、第3の配線から第2のアクティプ素子を介して第1のアクティプ素子に第1のアクティプ素子が遮断状態となるような電位を伝達し、第1の配線から第1のスイッチング素子を介して電気光学素子の駆動電流流入側端子に、電気光学素子に印加される電圧が閾値電圧以下となるような電位を伝達することにより、電気光学素子を完全に暗状態とすることができますという効果を奏する。

【0294】

さらに本発明の表示装置は、以上のように、第1のスイッチング素子の導通状態および遮断状態を決める電位を伝達する第4の配線を備えている構成である。40

【0295】

それゆえ、第1のコンデンサが電圧条件を保持するまでに、生成された電圧が電圧条件から第1のスイッチング素子のスイッチングによって変化してしまうという悪影響を回避し、第1のコンデンサが電圧条件を保持した後に第1のスイッチング素子を遮断状態とすることを確実に行うことができるという効果を奏する。

【0296】

また、第4の配線を備えていることによって、電気光学素子の電流駆動を行っている最中に第1のアクティプ素子を遮断状態とするような電位を第2のアクティプ素子または第1のスイッチング素子に伝達することにより、電気光学素子の電流駆動期間の長さを制御す50

ることができるという効果を奏する。

【0297】

さらに本発明の表示装置は、以上のように、上記第1のアクティブ素子から上記電気光学素子へ上記駆動電流が流れる経路の導通および遮断を行う第2のスイッチング素子を備えている構成である。

【0298】

それゆえ、電気光学素子が閾値電圧を有するダイオード型の素子でなくとも容易に電流駆動を行うことができるという効果を奏する。

【0299】

また、本発明の表示装置は、以上のように、第1の配線と第2の配線とが交差する各領域に設けられた、電流駆動型の電気光学素子を有する画素を、上記第2の配線の電位状態によって上記画素が駆動制御可能となる駆動制御可能期間に上記第1の配線を介して駆動制御するドライブ回路であって、上記電気光学素子を電流駆動するための駆動電流を生成して上記駆動制御可能期間に上記第1の配線を介して上記画素に伝達することにより上記画素を駆動制御するドライブ回路を備えた表示装置であり、上記ドライブ回路は、各上記画素に対して上記駆動制御可能期間外に1つの定電流源から出力される定電流を用いて上記ドライブ回路内部に上記駆動電流が流れる回路状態を生成して保持し、上記駆動制御可能期間に、保持した上記回路状態で上記駆動電流を生成する構成である。10

【0300】

それゆえ、上記ドライブ回路の駆動電流を1つの定電流源を用いて設定するので、上記ドライブ回路の出力特性をその定電流値でバラツキが少なくなるよう設定できる。その結果上記ドライブ回路の出力電流のバラツキを抑えられる。その結果、電気光学素子の電流駆動用のドライブ回路を、低温ポリシリコンTFTやCGシリコンTFTで構成することを可能としながら各ソース配線間で電流値がばらつくのを防止することができる表示装置を提供することができるという効果を奏する。20

【0301】

また、本発明の表示装置は、以上のように、第1の配線と第2の配線とが交差する各領域に電気光学素子を有する表示装置であって、上記電気光学素子と第1のアクティブ素子とを直列に配置し、上記第1のアクティブ素子の制御端子に第1のコンデンサを接続し、上記第1の配線と上記第1のコンデンサとの間に第2のアクティブ素子を配置し、上記第1のアクティブ素子の電流出力端子と上記第1の配線との間に第1のスイッチング素子を配置し、上記第1のスイッチング素子の制御端子に第4の配線を接続した構成である。30

【0302】

それゆえ、第1のスイッチング素子と第2のアクティブ素子とを導通状態とし、第1のアクティブ素子から上記第1のスイッチング素子を通して第1の配線へ所定電流を流すことで上記第1のコンデンサへ保持する電位を生成できる。また、第1のスイッチング素子を非導通状態とする前に上記第2のアクティブ素子を非導通状態とすることで、上記電位を保持できる。従って、電気光学素子の電流駆動用のドライブ回路に、1つの定電流源から出力される定電流を用いて上記所定電流を流すようなドライブ回路を用いれば、該ドライブ回路の出力特性をその定電流値でバラツキが少なくなるよう設定できる。その結果、電気光学素子の電流駆動用のドライブ回路を、低温ポリシリコンTFTやCGシリコンTFTで構成することを可能としながら各ソース配線間で電流値がばらつくのを防止することができる表示装置を提供することができるという効果を奏する。40

【0303】

また、本発明の表示装置は、以上のように、第1の配線と第2の配線とが交差する各領域に電気光学素子を有する表示装置であって、上記第1の配線と並行して第3の配線を配置し、上記電気光学素子と第1のアクティブ素子とを直列に配置し、上記第1のアクティブ素子の制御端子に第1のコンデンサを接続し、上記第3の配線と上記第1のコンデンサとの間に第2のアクティブ素子を配置し、上記第1のアクティブ素子の電流出力端子と上記第1の配線との間に第1のスイッチング素子を配置した構成である。50

【0304】

それゆえ、第1の配線と第3の配線とを繋ぎ、第1のスイッチング素子と第2のアクティブ素子とを導通状態とし、第1のアクティブ素子から上記第1のスイッチング素子を通して第1の配線へ所定電流を流すことで上記第1のコンデンサへ保持する電位を生成できる。従って、電気光学素子の電流駆動用のドライブ回路に、1つの定電流源から出力される定電流を用いて上記所定電流を流すようなドライブ回路を用いれば、該ドライブ回路の出力特性をその定電流値でバラツキが少なくなるよう設定できる。その結果、電気光学素子の電流駆動用のドライブ回路を、低温ポリシリコンTFTやCGシリコンTFTで構成することを可能しながら各ソース配線間で電流値がばらつくのを防止することができる表示装置を提供することができるという効果を奏する。

10

【0305】

また、第1の配線と第3の配線とを分離し、第1のスイッチング素子と第2のアクティブ素子とを導通状態とし、第3の配線に所定の電位を印加することで上記第1のアクティブ素子を非導通状態とできる。この結果、第1のアクティブ素子の非導通状態での電流値を充分小さくできるという効果を奏する。

【0306】

また、上記表示装置は、特に、上記画素回路構成で、上記電気光学素子と第1のアクティブ素子との間に第2のスイッチング素子を配置した構成である。

【0307】

それゆえ、電気光学素子の特性によらず、上記第1のアクティブ素子の出力電流を第1の配線へ導けるので、上記第1の配線と第3の配線との間を導通状態としたとき、第1のアクティブ素子が所望の電流を流すよう、その電流制御端子電位を設定できる。その結果、第1のアクティブ素子の出力電流のバラツキを抑えられるという効果を奏する。

20

【0308】

また、第1の配線と第3の配線との間を非導通状態とし、第3の配線へ所定の電圧を印加することで第1のアクティブ素子を非導通状態とできる。この結果、第1のアクティブ素子の非導通状態での電流値を充分小さくできるという効果を奏する。

【0309】

また、上記表示装置は、特に、上記第2のスイッチング素子の制御端子に第4の配線を接続した構成である。

30

【0310】

それゆえ、第4の配線の電位状態により、第1のアクティブ素子の導通および遮断とは独立に第2のスイッチング素子を導通および遮断することができるので、第1のアクティブ素子の制御端子電位を保持させたまま、電気光学素子の消光動作を行うことができる。

【0311】

また、上記表示装置は、上記表示装置用にドライバ回路の出力端には、第3の配線に第2のコンデンサを接続し、第3の配線と第1の電位配線との間に第3のスイッチング素子を配置し、上記第2のコンデンサと第1の配線との間に第4のスイッチング素子を配置し、上記第2のコンデンサと第2の電位配線との間に第5のスイッチング素子を配置した構成を用いる。

40

【0312】

それゆえ、第2のコンデンサへ電荷を貯めることで、第1の配線と第3の配線との間に電位差を発生できる。その結果、上記第1のアクティブ素子へ所望の電流を流すときの第3配線の電位を適切に設定できる。その結果、上記第1のアクティブ素子の出力電流のバラツキを抑えられるという効果を奏する。

【0313】

本発明の表示装置の第1の画素回路構成は、第1のアクティブ素子から第1のスイッチング素子を通して第1の配線へ所定電流を流すことで第1のコンデンサへ保持する電位を生成できる。また、第2のアクティブ素子を非導通状態とすることで、上記電位を保持できる。その後、上記第1のスイッチング素子を非導通状態とすることで、上記第1のアクテ

50

イブ素子から上記電気光学素子へ所定の電流を流すことができる。

【0314】

このことにより、上記第1のアクティブ素子が所定電流を流している状態の電位を上記第1のコンデンサで保持できるので、その出力電流値のバラツキを抑制できて好ましい。

【0315】

本発明の表示装置の第2の画素回路構成は、第1の配線と第3の配線とを繋ぎ、所定の電流値を流すことによって上記第1のアクティブ素子の電流値を設定できる。また、第1の配線と第3の配線とを分離し、第3の配線に所定の電位を印加することで上記第1のアクティブ素子を非導通状態とできる。この結果、第1のアクティブ素子の非導通状態での電流値を充分小さくできるので好ましい。
10

【0316】

また上記第2の画素回路構成用のソースドライバ出力端回路は、第2のコンデンサへ電荷を貯めることで、第1の配線と第3の配線との間に電位差を発生できる。その結果、上記第1のアクティブ素子（TFT素子）へ所望の電流を流すときの第3配線の電位を適切に設定できる。その結果、上記第1のアクティブ素子の出力電流のバラツキを抑えられるので好ましい。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る表示装置の電流ドライブ回路及び画素回路の等価回路を示す回路図である。

【図2】図1の回路の動作を示す第1のタイミング図である。

20

【図3】図1の回路の動作を示す第2のタイミング図である。

【図4】図1の回路の動作を示す第3のタイミング図である。

【図5】本発明の第2の実施の形態に係る表示装置の電流ドライブ回路の等価回路を示す回路図である。

【図6】本発明の第2の実施の形態に係る表示装置の他の電流ドライブ回路の等価回路を示す回路図である。

【図7】本発明の第3の実施の形態に係る表示装置の駆動方法を示す第1のタイミング図である。

【図8】本発明の第3の実施の形態に係る表示装置の駆動方法を示す第2のタイミング図である。

30

【図9】本発明の第4の実施の形態に係る表示装置の画素回路の等価回路を示す第1の回路図である。

【図10】図9の回路の動作を示すタイミング図である。

【図11】動画偽輪郭の第1の発生状況を示す第1の動画偽輪郭図である。

【図12】動画偽輪郭の第2の発生状況を示す第2の動画偽輪郭図である。

【図13】本発明の第4の実施の形態に係る表示装置の画素回路の等価回路を示す第2の回路図である。

【図14】本発明の第4の実施の形態に係る表示装置の他の画素回路の等価回路を示す第3の回路図である。

【図15】本発明の第4の実施の形態に係る表示装置の他の画素回路の等価回路を示す第4の回路図である。

40

【図16】図15の走査タイミングを示すタイミング図である。

【図17】本発明の第5の実施の形態に係る表示装置の電流ドライブ回路及び画素回路の等価回路を示す回路図である。

【図18】図17の回路の動作を示すタイミング図である。

【図19】本発明の第5の実施の形態に係る表示装置の他の電流ドライブ回路及び画素回路の等価回路を示す回路図である。

【図20】本発明の第6の実施の形態に係る表示装置の画素回路の応用例の等価回路を示す回路図である。

【図21】図20の回路の動作を示すタイミング図である。

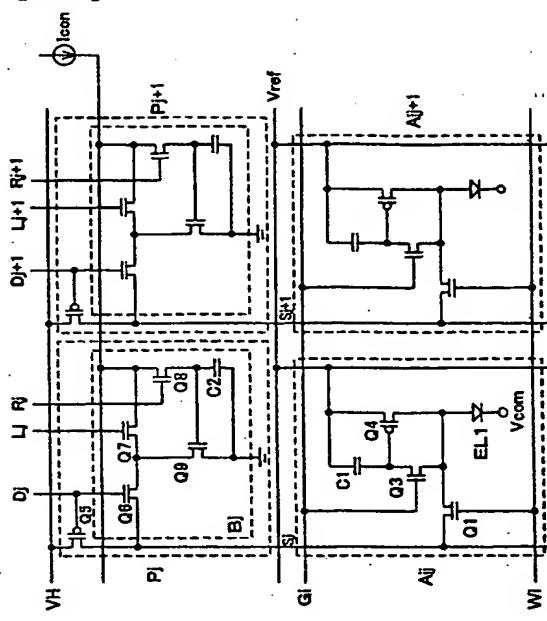
50

- 【図22】画素の配線構成の平面図である。
- 【図23】従来の有機ELによる第1の画素回路の等価回路を示す回路図である。
- 【図24】従来の有機ELによる第2の画素回路の等価回路を示す回路図である。
- 【図25】従来の有機ELによる第3の画素回路の等価回路を示す回路図である。
- 【図26】従来の有機ELによる第4の画素回路の等価回路を示す回路図である。
- 【図27】本発明の第5の実施の形態に係る表示装置のさらに他の画素回路の等価回路を示す回路図である。
- 【図28】本発明の第5の実施の形態に係る表示装置のさらに他の画素回路の等価回路を示す回路図である。
- 【図29】本発明の第5の実施の形態に係る表示装置のソースドライバ回路出力端回路の等価回路を示す回路図である。
10
- 【図30】図29の回路の動作を示すタイミング図である。
- 【図31】図29の回路動作をシミュレーションしたタイミング図である。
- 【図32】図29の回路出力電流をシミュレーションした結果である。

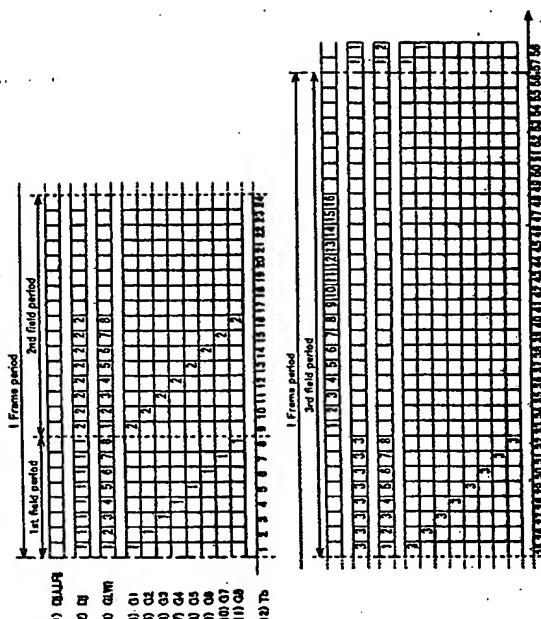
【符号の説明】

A _{i j}	画素
P _j	電流ドライブ回路
Q ₁	スイッチ用TFT (第1のスイッチング素子)
Q ₂	スイッチ用TFT (第2のスイッチング素子)
Q ₃	選択用TFT (第2のアクティブ素子) 20
Q ₄	電流出力用TFT (第1のアクティブ素子)
Q ₁₀	選択用TFT (第2のアクティブ素子)
Q ₁₄	選択用TFT (第2のアクティブ素子)
C ₁	コンデンサ (第1のコンデンサ)
EL ₁	電気光学素子
S _j	ソース配線 (第1の配線)
G _i	ゲート配線 (第2の配線)
T _j	データ配線 (第3の配線)
E _i , W _i	制御線 (第4の配線)
I _{con}	定電流源
C ₁₀	コンデンサ (第2のコンデンサ) 30
Q ₃₀	スイッチ用TFT (第3のスイッチング素子)
Q ₃₁	スイッチ用TFT (第5のスイッチング素子)
Q ₃₂	スイッチ用TFT (第4のスイッチング素子)

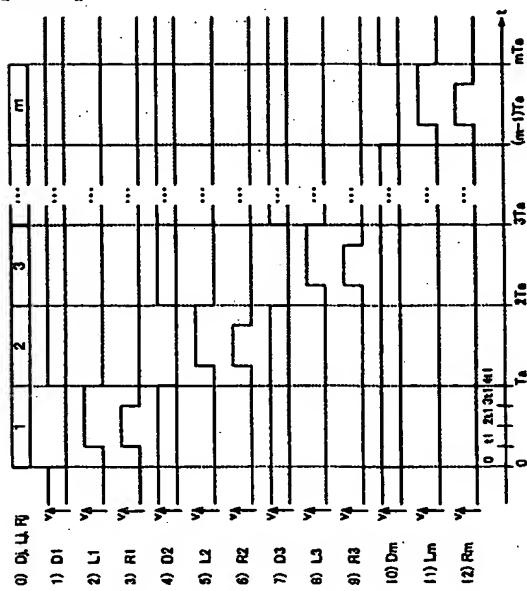
【図 1】



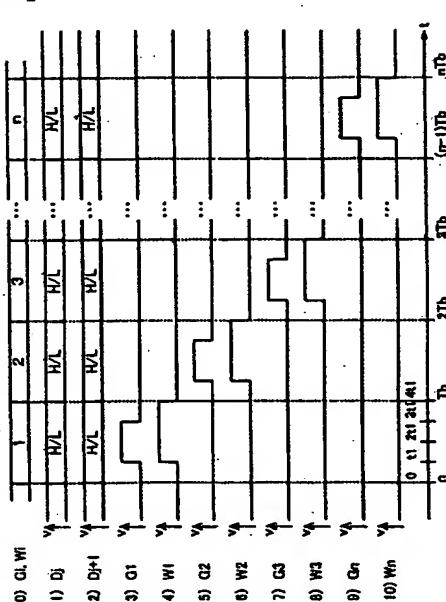
【図 2】



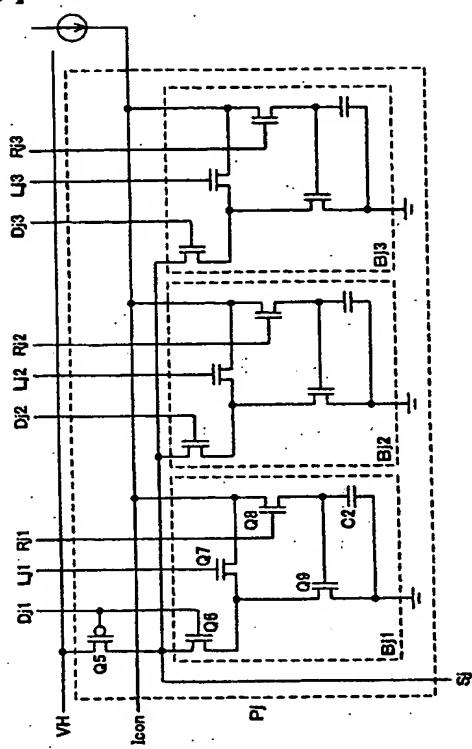
【図 3】



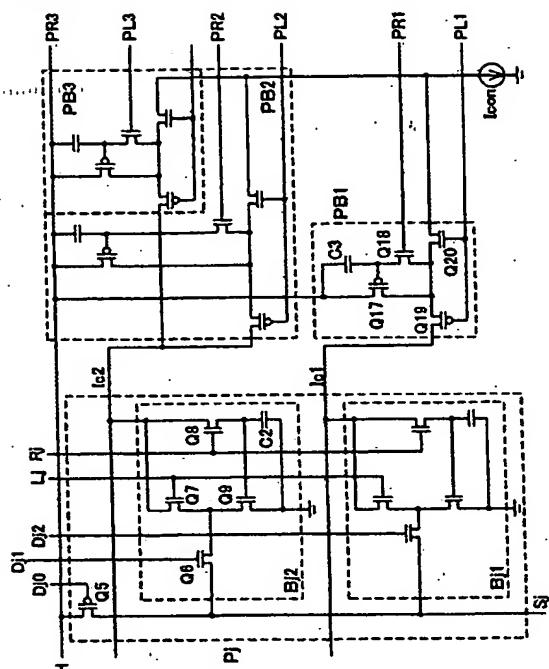
【図 4】



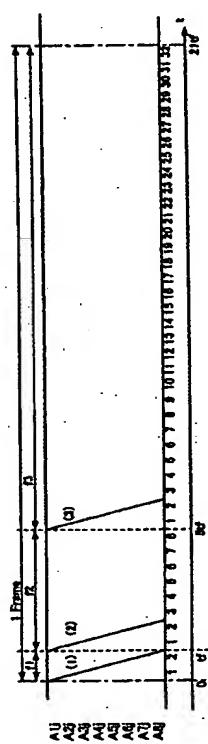
【図5】



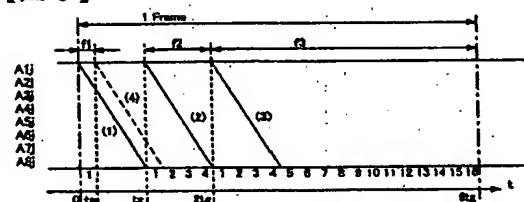
【図6】



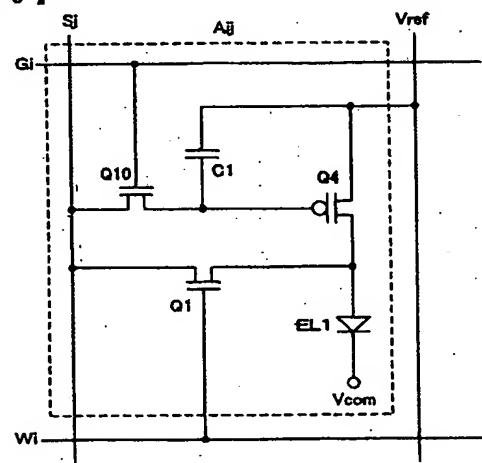
(図7)



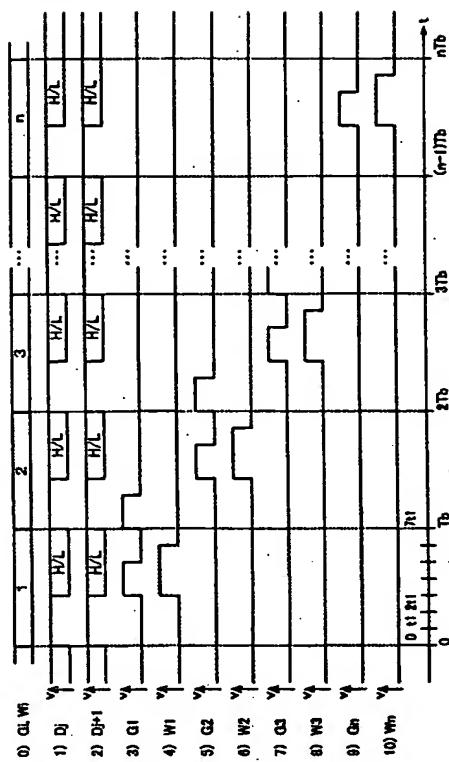
〔図8〕



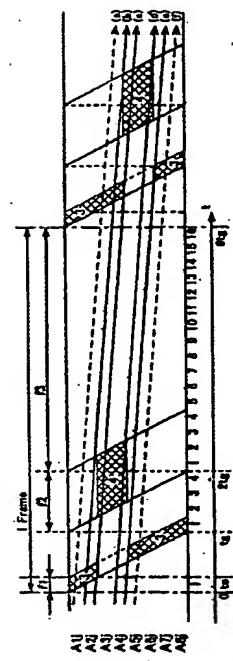
【図9】



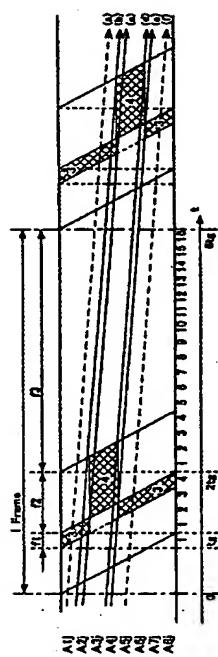
【図 1 0】



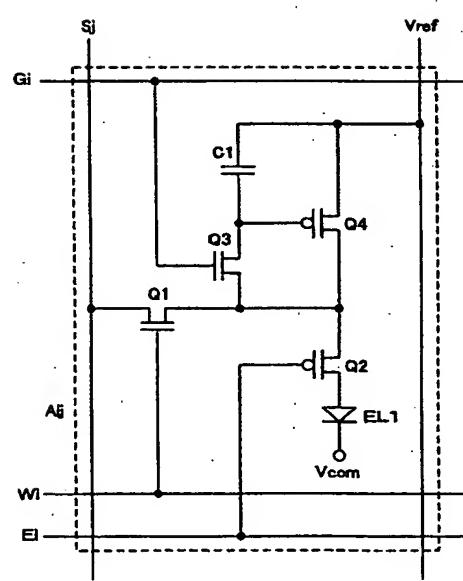
【図 1 1】



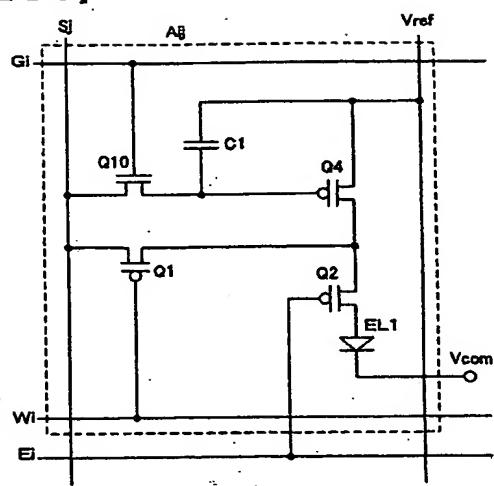
【図 1 2】



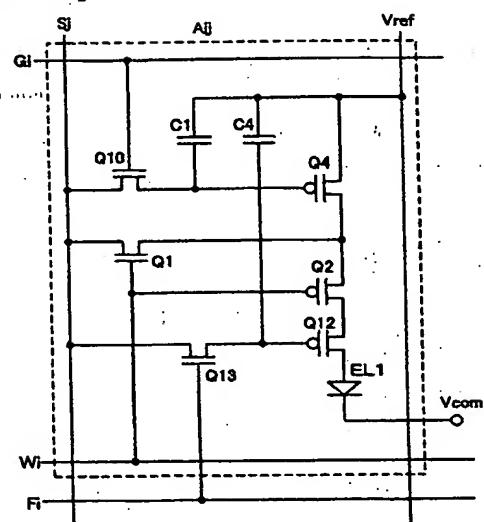
【図 1 3】



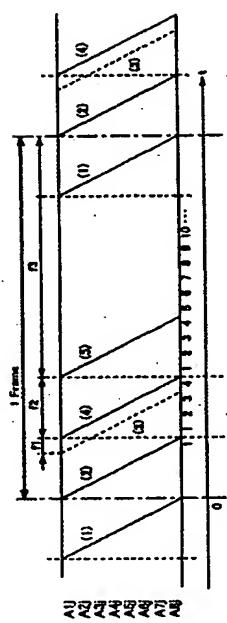
【図14】



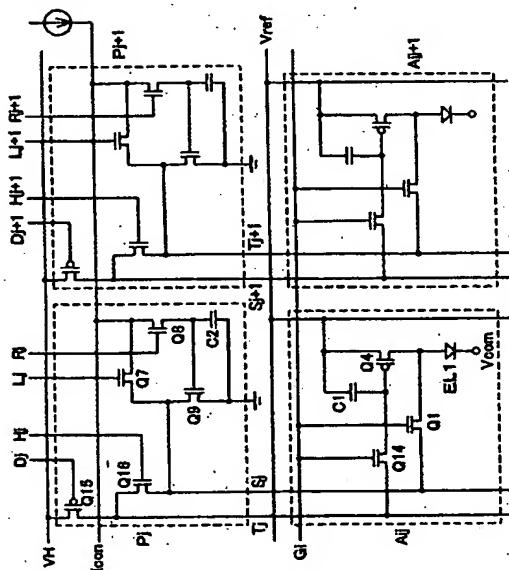
【図15】



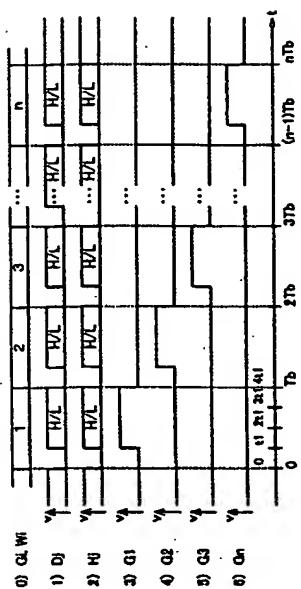
【図16】



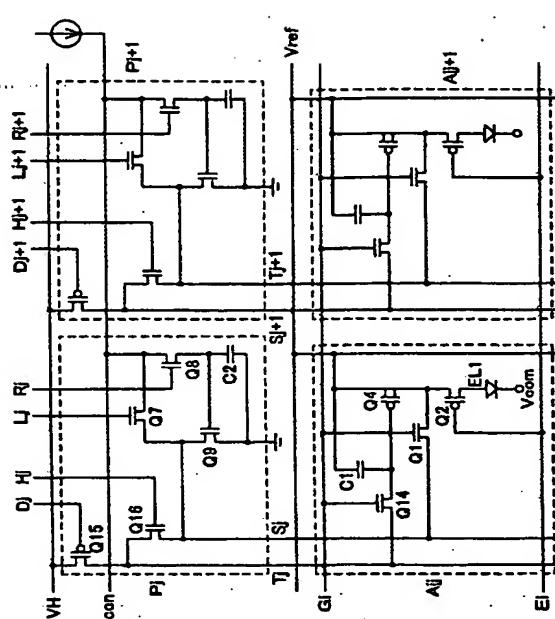
【図17】



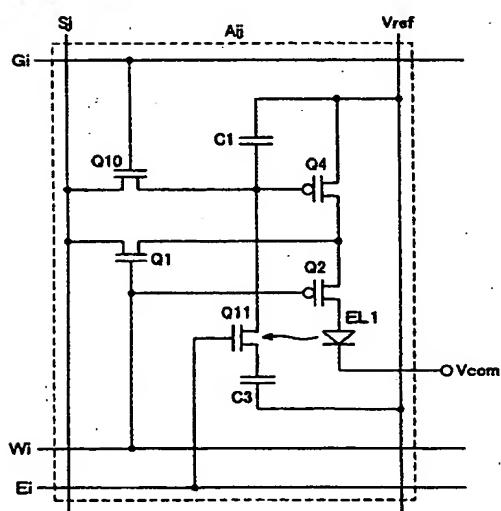
【図 18】



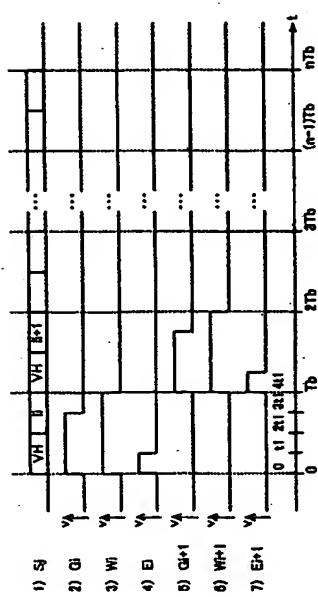
【図 19】



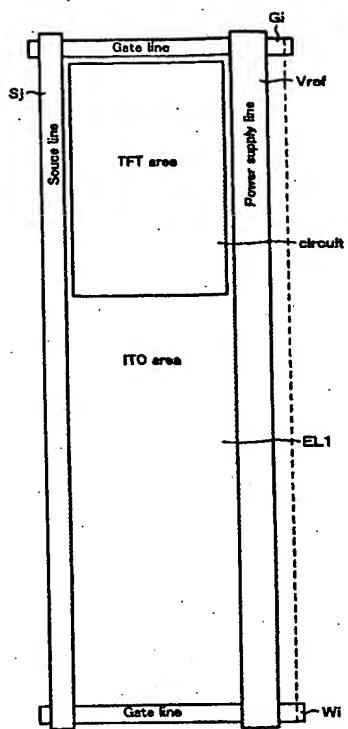
【図 20】



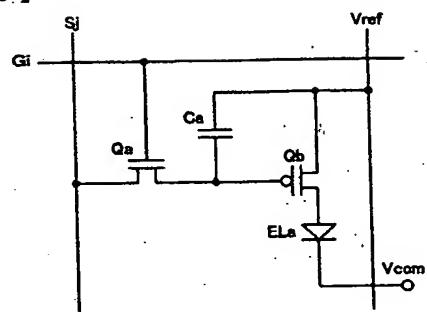
【図 21】



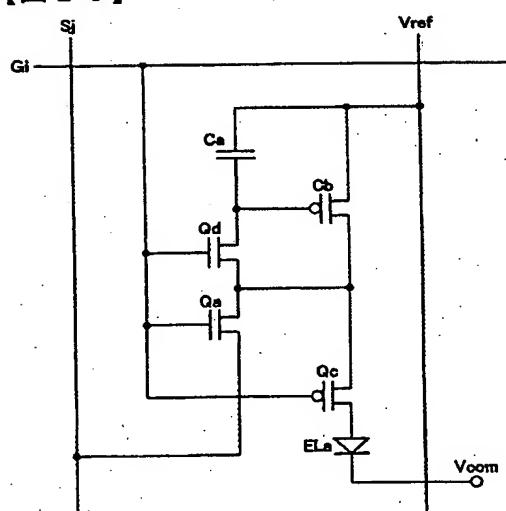
【図22】



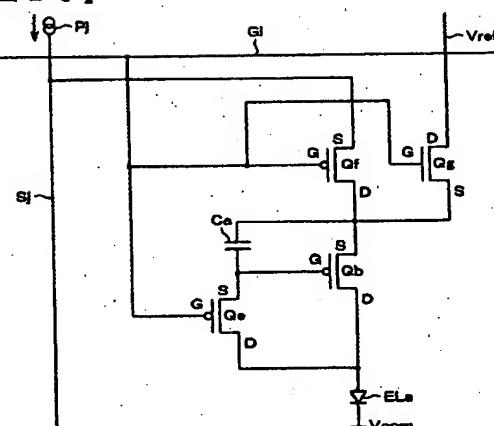
【図23】



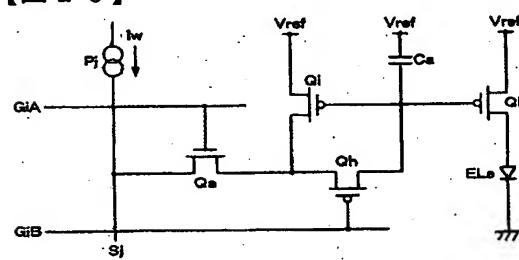
【図24】



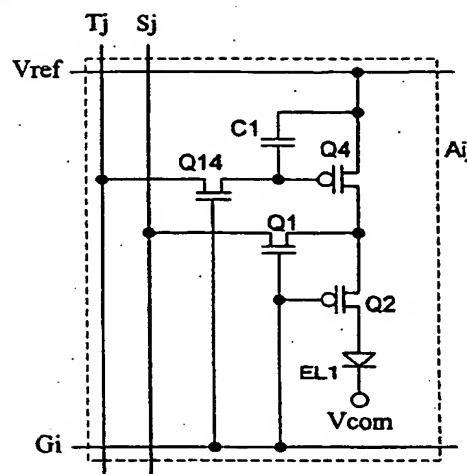
【図25】



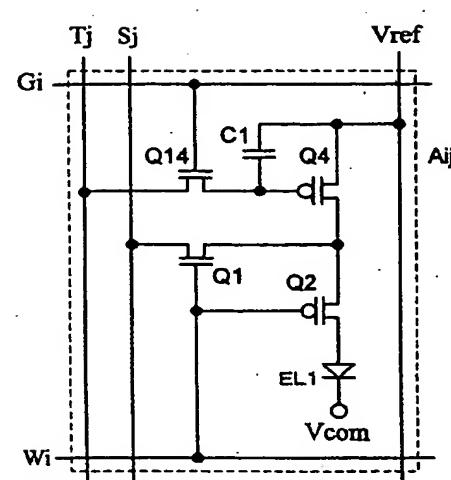
【図26】



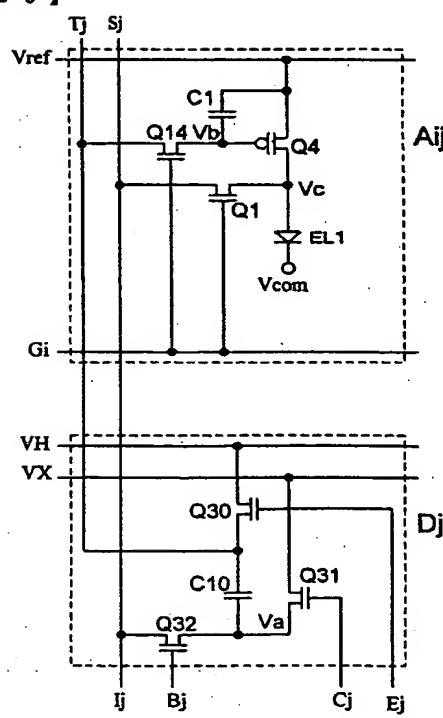
【図 27】



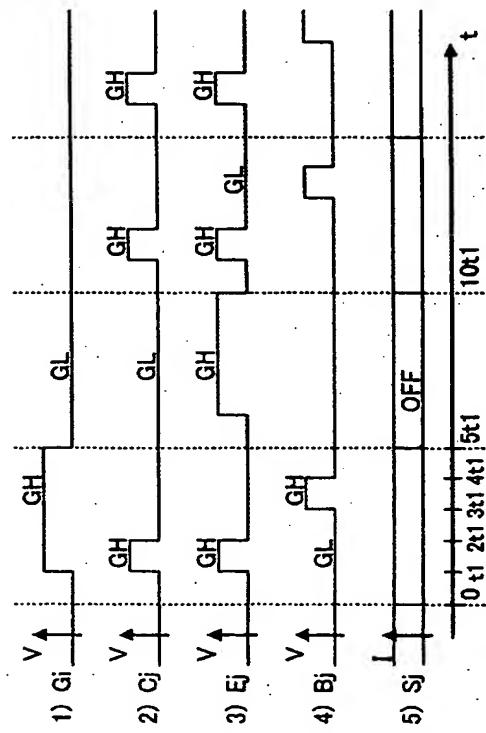
【図 28】



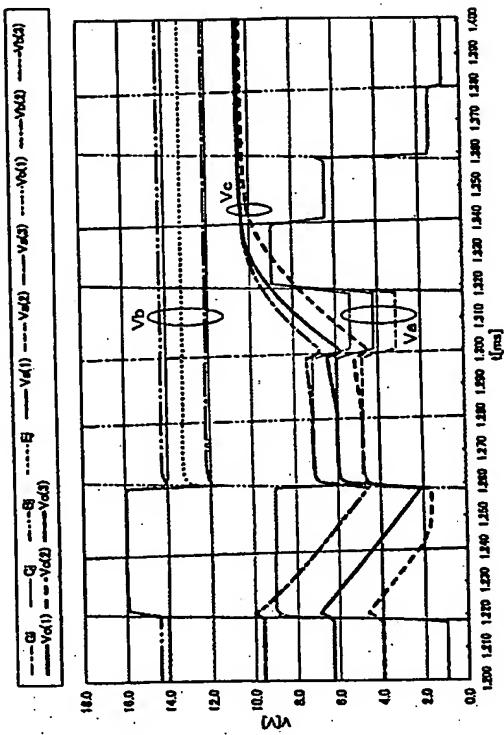
【図 29】



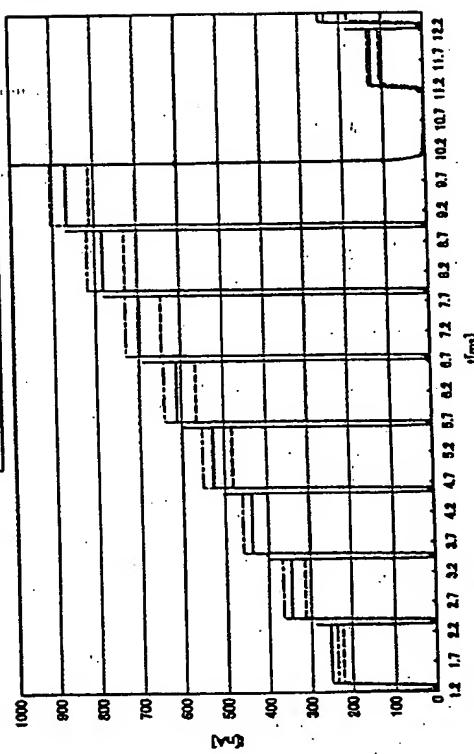
【図 30】



【図3.1】



【図3.2】



フロントページの続き

(5i)Int.C1.

F I

テーマコード(参考)

G 0.9.G....3/20.. 6 4 1 A
G 0 9 G 3/20 6 4 1 D
H 0 5 B 33/14 A

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.